

(54) VARIABLE POWER PROCESSOR FOR IMAGE DATA

(11) 62-257277 (A) (43) 9.11.1987 (19) JP

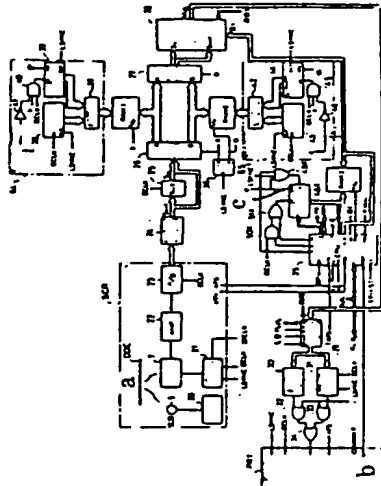
(21) Appl. No. 61-101721 (22) 1.5.1986

(71) RICOH CO LTD (72) KOUICHI KAMON

(51) Int. Cl. H04N1/393

PURPOSE: To reduce the deterioration of a picture due to variable power processing by executing the MTF correction operation in the main scanning direction corresponding to the designated magnification in the main scanning direction and that in the subscanning direction corresponding to the designated magnification in the subscanning direction independently each other.

CONSTITUTION: An original image data read by a scanner SCR is applied with a variable power processing and MTF-correction in the main scanning idirection X by a variable power processor consisting of a latch 25, a data distributor 26, RAMs 1 and 2, a data selector 27, a main scanning direction variable power calculator 28, a microprocessor 35, a RAM 3 and sampling circuits 64 and 65 through a shading correction circuit 24. Thereafter the original image data is applied with a variable power processing and MTF-correction in the subscanning direction Y by a subscanning variable power computing element 29. For the MTF correction, correction coefficients corresponding to magnifications are set beforehand, and the MTF correction is applied by specifying one of the coefficient with the magnifications. A variable power image data goes through a binarization circuit 30 or a gradation processor 31 and is outputted to a printer PRT.



38,43,48X: address counter, 39,44: upsown counter, 37,42: adder, 7: image sensor, 5: light source, 20: driver, 21: sensor driver, a: original, b: ready, ST: start, c: carry

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

第2789560号

(45) 発行日 平成10年(1998) 8月20日

(24) 登録日 平成10年(1998) 6月12日

(51) Int.Cl.⁴

識別記号

F I

H 0 4 N 1/393

H 0 4 N 1/393

発明の数 1 (全 30 頁)

(21) 出願番号 特願昭61-101721
(22) 出願日 昭和61年(1986) 5月1日
(65) 公開番号 特開昭62-257277
(43) 公開日 昭和62年(1987) 11月9日
審査請求日 平成5年(1993) 4月30日
審判番号 平8-8966
審判請求日 平成8年(1996) 6月14日

(73) 特許権者 999999999
株式会社リコー
東京都大田区中馬込1丁目3番6号
(72) 発明者 賀門 宏一
東京都大田区中馬込1丁目3番6号 株
式会社リコー内
(74) 代理人 弁理士 杉信 興

合議体
審判長 村井 誠次
審判官 関川 正志
審判官 宮島 潤

(56) 参考文献 特開 昭57-168580 (J P, A)
特開 昭60-225282 (J P, A)
特表 昭58-500635 (J P, A)

最終頁に続く

(54) 【発明の名称】 画像データの変倍処理装置

1

(57) 【特許請求の範囲】

1. 原画像を所定のサンプリング密度で読み取ることにより等倍読み取りの原画像データを得て、指定された倍率に応じて原画像データから、倍率対応のサンプリング密度の変倍画像データを算出する、画像データの電氣的変倍方法において、
前記変倍画像データのサンプリング密度に応じて、変倍後又は変倍前の画像データに適正なMTF補正をするべく、指定された主走査方向の倍率に応じて、倍率が高いほど、前記変倍前又は変倍後の画像データに、強いMTF 10補正をし、その後、前記主走査方向の倍率とは独立に指定された副走査方向の倍率に応じて、倍率が高いほど、主走査方向にMTF補正された画像データに対し、強いMTF補正をすることを特徴とする画像データの電氣的変倍方法。

2

【発明の詳細な説明】

①技術分野

本発明は、デジタルコピー、ファクシミリあるいはその他の画像処理装置等に用いる画像データの電氣的変倍方法に関する。

②従来技術

第8図に、従来の画像読み取り装置の1つの外観を示す。この画像読み取り装置は、複写機の一部を切り取った様な形状である。コンタクトガラス2上に原稿が載せられ、これが原稿圧板3で押えられる。操作部4には、読み取りスタートボタン、濃度選択キー等、数種のキーと設定状態や動作状態等を表示する数種のディスプレイが備わっており、種々の機能の設定ができるようになっている。スタートボタンを押すことによって読み取りを開始し、画像信号を得ることができる。

3

第9図および第10図に、第8図に示す画像読み取り装置の代表的な構成の、特に読み取り光学系を示し、第9図は密着型イメージセンサを使用した場合の光学系を、第10図は縮少型イメージセンサを使用した場合の光学系を示す。なお、この他にも原稿が移動して光学系が固定のものがある。

第9図に示すような密着型イメージセンサを用いる場合、光学系は等倍光学系となる。蛍光灯5によってコンタクトガラス2上の原稿面が照射され、その反射光8が、セルホックレンズ6を通してイメージセンサ7に入る。イメージセンサ7は、原稿幅（第9図では奥行き方向、すなわち主走査方向X）と同じ又はそれ以上の幅を持ち幅方向1ラインの画像データが一度に読み取られる。

1ラインのサンプリング数およびサンプリングピッチPxは、イメージセンサの画素数によって決まる。1ラインのデータを読み終わると、蛍光灯5、セルホックレンズ6、イメージセンサ7を一体とするキャリッジ9が矢印（副走査方向Y）の方向に駆動され、次のラインが読まれる。なお、副走査方向Yに連続してキャリッジ9を駆動する態様もある。ライン間のピッチPyは、キャリッジ9の速度、センサー7の電荷蓄積時間等によって決るが、通常は、前述のサンプリングピッチPxと同じに設定される。

第10図に示すように縮少型イメージセンサを用いる場合は、レンズ14によって、光学像の原稿幅がイメージセンサのサイズに合うように、縮少される。第10図ではミラーを3枚使用しているが、2枚構成あるいは5枚構成なども考えられる。主走査方向Xの読み取りに関しては、密着型センサーを使用したときと、同じである。副走査方向Yには、蛍光灯10と第1ミラー11を一体にした第1キャリッジと、ミラー12および13を一体とする第2キャリッジとが各々独立して、コンタクトガラス板2上

$$Mik = Y \cdot (0i - 1k) + Y \cdot (0ik - 1) + Y \cdot (0ik + 1) + Z \cdot (0i + 1k) + Y \cdot (0ik)$$

なるデータMikに補正する。ここで、注目画素とは、MTF補正を施す処理を行なう対象画素を意味し、注目画素を順次に次の画素につらしながら、各画素につき上述の補正演算を行なう。

補正係数V～Z（フィルタ係数）は、例えば第14b図に示すような値とされる。これらの補正係数は、原画像データの空間周波数特性（サンプリング密度）に対応した適値があるので、通常、スキヤナの原画像サンプリング密度に対応した値に設定されている。

したがって、変倍時の新サンプリング周波数（原画像対応での変倍画像データのサンプリング密度）に対しては、適正なMTF補正特性が異なるものとなり、補正係数V～Zを変える必要がある。特に、後述の本願発明の実施例のように、50～400%の広範囲な変倍範囲に、等倍時の補正係数（第14b図）をそのまま適用させるのはむづかしい。

4

の原稿からレンズ14までの光路長が一定となるように駆動される。

ここで、従来の変倍方式は、主走査方向Xに関しては、光学系の光路長を変えて縮少率を変化させることにより行ない、副走査方向Yに関しては、移動体の速度を変化させることで行なっていた。しかし、この方法は、第9図のような密着型のセンサーを用いる場合採用できない。

また、第10図に示す縮少型センサーの場合でも、レンズ14やセンサー7の位置を変える移動量が大きい割に変倍率があまり変わらないなど、変倍率の範囲が構造的に制限されたり、また、レンズ14、センサー7の移動精度および位置調整機構などに、精密な機構を用いなければならず、粗い機構では、読取画像が変形するなどの大きな問題があった。

これらの従来の問題を考えて、最近では光学変倍の変わりに、等倍読み取りデータから、変倍後のデータを予測算出して変倍画像データを得る画像処理、いわゆる電気的変倍が使われるようになってきた。

しかし、現在提案されている電気的変倍は、変倍の精度に問題があったり、精度よく変倍すれば、ハードウェアが複雑になり、1%きざみ等のいわゆるズーム変倍や、広範囲の変倍率に対応することが難しかったりする問題があった。

また、画像をスキヤナで読むと、読取データで表わされる画像の空間周波数特性が変わり、画像が劣化する。そこで従来は、読取画像データを所要の段階でMTF (Modulation Transfer Function) 補正（概略でボケ画像の修復）を行なう。これは例えば、第13a図に示すように係数パターン（フィルタ）を定めて、例えば第13b図に示す注目画素データ0ik（ここでは濃度を示すデータ）を、

これを無視して、同じ補正係数（第14b図）で縮小倍率や拡大倍率でMTF補正を行なうと、拡大時にMTF補正による画像エッジの強調のしすぎで、画像の振動現象（縞模様）が起こる。また、主走査方向と副走査方向で異なった倍率で変倍するときには、各方向で最適なMTF補正係数が異なるため、一種のMTF補正を行なうのみでは、適正なMTF補正値が得られない。

③目的

本発明は、広範囲の変倍率で原画像を変倍しても、適正なMTF補正をすることを目的とする。

④構成

原画像を所定のサンプリング密度で読み取ることにより等倍読み取りの原画像データを得て、指定された倍率に応じて原画像データから、倍率対応のサンプリング密度の変倍画像データを算出する、画像データの電気的変倍方法において、

5

前記変倍画像データのサンプリング密度に応じて、変倍後又は変倍前の画像データに適正なMTF補正をするべく、指定された主走査方向の倍率に応じて、倍率が高いほど、前記変倍前又は変倍後の画像データに、強いMTF補正をし、その後、前記主走査方向の倍率とは独立に指定された副走査方向の倍率に応じて、倍率が高いほど、主走査方向にMTF補正された画像データに対し、強いMTF補正をすることを特徴とする画像データの電氣的変倍方法。

これによれば、広範囲の変倍率で原画像を変倍しても、適正なMTF補正をすることができる。

本発明の他の目的および特徴は、図面を参照した以下の実施例の説明より明らかになる。

〔実施例〕

まず本願発明の実施例で実行する変倍の基本思想を説明する。たとえば、第9図あるいは第10図に示す画像読取装置で得る画像データ（以下、原画像データという）は、主走査方向Xの画素数をNとし、副走査方向Yの画素数をMとすると、画像データの原画像対応の分布は、第11図のように考えることができる。第11図で主走査方向にR%の倍率が変倍すると $[N \times R/100]$ 個の新データ（以下変倍画像データという）ができることになる。

ここで、代表的な変倍アルゴリズム3つの方法について述べておく。ここでは、電氣的変倍は主走査方向のみとしているため、以下の説明もそれに準ずる。

まず、どの方式でも変倍後の新サンプリング点Qの位置を認識し、新サンプリング点Qの周囲数画素の旧サンプリング点の原画像データ及びそれらの距離を求める必要がある。

第12図に示すように、新サンプリング点Qが原画像データの s_{ij} と s_{ij+1} との間にあり、それぞれQの距離が r_1 、 r_2 であるとし、原画像データのサンプリングピッチをPとする。

①最近接画素置換法

Q点の変倍画像データとして、Q点に最も近い位置の原画像データを設定する方法であり、第12図で

$$r_1 \leq r_2 \quad \text{ならば} \quad O_{ik} = s_{ij}$$

$$r_1 > r_2 \quad \text{ならば} \quad O_{ik} = s_{ij+1}$$

というようにおきかえる方法である。すなわち、変倍画像のサンプリング点Qに最も近い原画像のサンプリング点の画像データを、該点Qの変倍画像データ O_{ik} とする。 O_{ik} は、ここでは濃度を示すデータである。

②近接画素間距離線形配分法

Qと原画像データの隣接画素間の距離に応じて濃度レベルを配分する方法である。第12図で変倍画像データ O_{ik} は、

$$O_{ik} = (1 - r_1/P) s_{ij} + (1 - r_2/P) s_{ij+1} \quad \dots (1)$$

より求める。

③3次関数コンボリューション法

6

第5図に示すような補間関数 $h(\gamma)$ によって、補間計算を行なう。 $h(\gamma)$ は、サンプリングピッチPで規格化された γ に対して下式のように近似される。

$$\begin{aligned} h(\gamma) &= 1 - 2|\gamma|^2 + |\gamma|^3 & 0 \leq |\gamma| \leq 1 \\ h(\gamma) &= 4 - 8|\gamma|^2 + 5|\gamma|^3 - |\gamma|^4 & 1 \leq |\gamma| \leq 2 \\ h(\gamma) &= 0 & 2 \leq |\gamma| \end{aligned} \quad \dots (2)$$

この $h(\gamma)$ を使って変倍画像データ o_{ij} は、

$$\begin{aligned} O_{ik} &= [h(1+r_1/P)s_{ij-1} + h(r_1/P)s_{ij} \\ &\quad + h(r_2/P)s_{ij+1} + h(1+r_2/P)s_{ij+2}] \\ &\quad / [h(1+r_1/P) + h(r_1/P) + h(r_2/P) + h(1+r_2/P)] \end{aligned} \quad \dots (3)$$

上記①、②、③の他にも、近接画素距離反比例法、近接画素面積配分法などの方法があるが、比較的②に類似しているのでここでは、上記①、②、③を代表例と考える。

これらの方法はすべて比較的古くから知られており、主にコンピュータ画像処理分野で実用化されていた。

コンピュータ画像処理など、画像データを一旦メモリ等の高容量メモリに格納した後変倍処理するような場合はこれらの方法は、簡単に利用できるが、メモリを持たず専用のハードウェアでこれらの処理を行なうためには、種々制限がでてくる。

デジタルコピーや、ファクシミリ等で読み取り時に変倍を行なう場合は、ラスタ走査（ライン単位）で入力されたデータを変倍処理後もラスタ走査（ライン単位）で行なう必要があり、また、データクロック（画素同期パルス）は、どんな倍率でも一定である必要がある。

つまり、変倍処理後のデータは、光学的な変倍を行なったのと同じ形式、同じスピードでなくてはならない。すなわちリアルタイム処理を要する。

このことは、デジタルコピーシステム、あるいはファクシミリシステム全体として、変倍を考えられる場合は、異ってくる。

たとえば、プリンターの印字速度を変倍時変えることができれば、変倍後のデータクロックも変えることができる。また、伝送を行なうようなシステムでは、変倍後のラスタ走査データでなくてもよい。

しかし、読み取り装置として、あるいは変倍処理を独立させて変倍を考える場合は、前記のような、ラスタ走査処理の制限がつく。

以後に説明する本発明の実施例は、これらの制限を受ける読み取り装置に適用可能な変倍装置である。

第6図および第7図は、この制限を満たす変倍前データ及び変倍後データのタイムチャートの例である。これらにおいて、LSYNCは、水平同期信号（ライン同期パルス：副走査同期パルス）で、この信号1周期の間に主走

7

査方向1ラインの画像データを読み取る。DCLKは、データクロック（画素同期パルス）である。第6図に示すタイミングで、変倍前データ（画素単位）Yが、LSYNCの周期内に、Si0~SiNまで、DCLKに同期して変倍処理部に入力されるとする。その結果、変倍処理されたデータZが出力されるが、出力は、データYより遅れてもよいが、必ずDCLKに同期しなくてはならない。また、遅れ時間（ $t_2 - t_1$ ）は、特に制限はないが、ライン間で変化してはならず、 t_2 及び t_1 は常に一定でなければならない。また、ライン単位でのデータの入出力においても、第7図のように、ラインバッファメモリRAM1、RAM2の読出しデータ（入力）は書込データ（出力）より遅れてもかまわない。

とにかく、最も重要で、最も困難なことは、どんな倍率でも、変倍画像データをDCLKに同期させることである。

数種類の固定倍率での変倍ならば、このような要求を比較的容易に実現しやすいが、特に最近の複写システム等では、広範囲の変倍率、そして、ズーム変倍といわれる1%程度の小さな倍率変動が要求されており、デジタルコピーやファクシミリ等でもこれらの要求に答える必要がでてきた。したがって、先に挙げた変倍方法を実際に適用する上で、前述の要求を満たすのがむづかしくなっている。

第1a図に本発明の第1実施例を、第2a図に第2実施例を、第3a図に第3実施例を、また第4図に第4実施例を、更に、第3d図に第5実施例を示す。まず、これらの実施例の概要を説明する。

第1a図を参照すると、第1a図に示す装置（ただしプリンタPRTは除外する）は、デジタルコピー用としても、ファクシミリ用としても使用できる読み取り装置であって、第8図に示す外装に組込まれているものである。そのスキヤナSCRは、A3原稿を400dpi（画素数/インチ）の密度、6ビット/画素（64階調）で読み取り、シェーディング補正、MTF補正等を行なって、この6ビット原画像データを、プリンタ用あるいは伝送用に“1”か“0”の2値信号/画素に変換して出力する装置である。なお、これらの読み取り密度及び階調数は一例であり、400dpi、64階調でなくてもよい。

原稿面DOCを光源5の光によって照射し、その反射光を、A3原稿横方向（297mm）を400dpiで読むため、5000画素のイメージセンサ7が受ける。

イメージセンサ7で原稿DOCの光信号が電気信号に変換され、増幅器22で所定のレベルの信号に増巾される。次に、この濃度によって電圧レベルの異なるアナログ信号は、A/D変換器23で6ビットのデジタル信号、すなわち画像データに変換される。

次に、5000画素のセンサ7の各素子の感度のバラツキ及び、A3原稿横方向での光源5の照度ムラを補正するシェーディング補正が、回路24で行なわれる。

8

変倍処理は、第1a図に示す実施例においては、このシェーディング補正のあとに行なう。すなわち主走査方向変倍演算器28で主走査方向Xの変倍処理をし、続いてこの変倍処理の直後に主走査方向XのMTF補正を実行し、次いで副走査変倍演算器29でまず副走査方向Yの変倍処理をし続いて副走査方向YのMTF補正を行なう。これらの変倍処理は、シェーディング補正回路24の前や、MTF補正（29）のあとに行なうことも可能である。

演算器28による主走査方向Xの変倍処理およびMTF補正のあと、回路29で副走査方向Yの変倍処理およびMTF補正を行ない、そのあと変倍画像データを、2値化回路30であるスレッショレベルによって“1”か“0”かに2値化し、プリンタPRT（あるいは伝送処理部）へ出力する。又は、階調処理器31で、中間調表現がある“1”か“0”かに変換してプリンタPRT（あるいは伝送処理部）へ出力する。なお、第1a図にはプリンタPRTに出力する態様を示している。

このような画像データの流れの中で主走査方向Xの変倍処理およびMTF補正は、第1a図においては、概略でパラレル6ビットのラッチ25～演算器28、マイクロプロセッサ35、RAM3およびサンプリング回路64、65で構成される変倍処理装置で実行される。

この変倍処理装置28および29はそれぞれ、変倍後の新サンプリング点iの位置を決める機能、新サンプリング点i周辺の原画像データ位置xおよびyの原画像データを抽出する機能、及び新サンプリング点iと、抽出した原画像データ位置xおよびy（ J_i ）との距離を抽出データとより、変倍画像データを計算する機能、ならびに変倍画像データをMTF補正する機能を有する。主走査方向変倍演算器28の構成は第1d図に示す。

副走査方向Yの変倍処理およびMTF補正は、副走査変倍演算器29が行なう。副走査変倍演算器29の構成は第1e図に示す。

第1a図において、まず、ラッチ25、データ分配器26、ラインバッファメモリとしてのRAM1、RAM2およびデータセレクト27は、将来、サンプリング点xを決定して画像データを抽出し、変倍画像データの演算を行なうとき、変倍画像データ演算に参照する複数の原画像データを一度にとり出すために、補正方法によって周辺2画素による補間法（第1a図、第2a図および第4図に示す実施例）では2画素ごとに、周辺4画素による補正法（第3a図の実施例）では4画素ごとにまとめておくところである。

例えば、第12図で新サンプリング点Qが S_{ij} と S_{ij+1} の間にある場合、データセレクト27より、 S_{ij} と S_{ij+1} を（第1a図、第2a図および第4図に示す実施例）あるいは S_{ij-1} 、 S_{ij} 、 S_{ij+1} 、 S_{ij+2} を（第3a図の実施例）一度にとり出すということである。

ここで前述した方式①及び②が周辺2画素による補間法（第1a図、第2a図および第4図に示す実施例）、方式③が周辺4画素による補間法（第3a図の実施例）であ

る。

具体的な方法は、データクロックDCLKに同期して順次入力される原画像データY（第6図）をDCLKにてラッチ25にメモリ（DCLK1パルス周期の遅延メモリ）することにより実施できる。2画素なら1段のラッチ25（第1a図、第2a図および第4図に示す実施例）、4画素なら3ラッチ25₁〜25₃（第3a図の実施例）によって実現可能である。

次にラインメモリ用のRAM1およびRAM2であるが、ここは、2画素（第1a図、第2a図および第4図に示す実施例）あるいは4画素（第3a図の実施例）のまとまりを5000コ格納するメモリで入力、出力で2段構成とし、一方（RAM1）が入力のときは、もう一方（RAM2）は出力、1つのラインが終わると入出力を逆にするという構成である。これは、ライン同期パルスLSYNCで反転動作をするTフリップフロップ36の出力aをデータ分配器26に与えて、aがHのとき、データ分配器26をA出力としてRAM1を書込（W）に指定し、もう1つの出力bをデータセクタ27に与えてbがLのとき、データセクタ27をB出力としてRAM2を読出し（R）とすることにより行なわれ20る。

このラインメモリRAM1、RAM2のアドレスであるが、入力時（書込）は、DCLK周期でカウンタ38、43をカウントアップして得られるアドレスをそのまま使用するが、出力時（読出）、このアドレスを変化させる。出力時のアドレスがすなわち変倍画像データのサンプリング点i直前の原画像データサンプリング位置x=Jiである。

変倍画像データのサンプリング点iが、ある時、SijとSij+1の間にあり、その次のサンプリング点が、もう一度SijとSij+1の間にある時は、読出しアドレスカウンタを止め、Sij+2とSij+3の間に移ったときは、読出しアドレスカウンタは2つ進め、Sij+1とSij+2の間に移ったときは、読出しアドレスカウンタを通常通り1つ進める。

拡大時（Rx≥100）は、該カウンタを1つ進める動作と、該カウンタを止めておく動作によって新サンプリング点の位置を決める。縮少時（Rx<100）は、該カウンタを1つ進める動作と2つ進める動作の組合せによって位置を決める。縮少は本装置では50%までで考えているので、該カウンタは1つ進めるか2つ進めるかで良い40が、50%より小さな縮少のときは、3つ以上進める場合もあり得る。

どこで、読出しアドレスカウンタをいくつ進めるかという情報は、倍率Rx%によってマイクロプロセッサ35で予め計算されている。変倍画像データのサンプリング点iの直前の原画像データ位置xは、スタート位置を0とし、原画像のサンプリングピッチをPを1とし、倍率をRx（%）とすると、

$$100i/Rx = Ji + Ri \quad \dots (4)$$

$$i = 0, 1, 2, 3, \dots$$

Ji:整数, Ri:小数

の整数Jiとなる。

すなわち、サンプリング点iがSijとSij+1の間にあるとすると、原画像データのサンプリング位置xはJiとなる。そこで、iの増加とともに、100i/Rxの整数部Jiが1つ増えるときは、読出しアドレスカウンタも1つ進め、iの増加で100i/Rxの整数部Jiが2つ増えるときは、該カウンタも2つ進め、100i/Rxの整数部Jiが1つも進まない場合は、該カウンタも進めないようにすればよい。また、100i/Rxの小数部RiはSijとi対応位置Qとの距離γiになる。この距離データγiは後の変倍画像データ演算で使うことになる。

マイクロプロセッサ35は、上記（4）式でi=0〜Rx-1までを計算する。すなわち、i=0での（4）式の演算による整数J₀および小数R₀、i=1での（4）式の演算による整数J₁および小数R₁、i=2での（4）式の演算による整数J₂および小数R₂、・・・、i=Rx-1での

（4）式の演算による整数J_{i-1}および小数R_{i-1}を演算する。このようにi=0〜Rx-1までのみの整数Jiおよび小数Riのみを演算すると、これを原画像データのライン長全体に適用できる。すなわち、すべての場合で、変倍画像データのサンプリング点はRxコ毎の周期になるため、i=Rxにはi=0の値を、i=Rx+1ではi=1の値を、i=Rx+2ではi=2の値を、・・・、以下同様に割り当てればよい。

副走査方向の処理でも、変倍率Ryで同様にJiおよびRiを演算して、サンプリングラインを設定すればよい。

本発明の後述の全実施例では、i=0〜Rx、Ry-1のJiおよびRiの計算は、読み取り動作開始より前に、倍率Rx、Ry（%）が指定されたときに行なわれ、Rx対応と、Ry対応の、JiおよびRiが、ハードウェアにマッチした形のデータAiおよびBiに変換されてRx対応のものはRAM3（第1a図）に、Ry対応のものはRAM4（第1e図）に書き込まれる。画像読取が開始されると、すなわち変倍処理時に、データクロックDCLKと同期してiを1づつ大きい値に変更して、i対応のデータ（Ai、Bi）がRAM3より読み出され、ライン同期パルスLSYNCと同期してアドレスを1づつ大きい値に変更して第iライン対応のデータ（Ai、Bi）がRAM4より読み出される。

なお、別の実施態様として、上記計算を行なう専用のマイクロプロセッサ、あるいは演算手段を設け、変倍処理と並行してデータクロックDCLKと同期して（4）式を計算し、またライン同期クロックLSYNCと同期して（4）式を計算し、100i/Rx、Ryの整数部Jiすなわち原画像データサンプリング位置x、および、ラインサンプリング位置y、をそのままアドレスとし、小数部Riを、変倍画像データ演算用パラメータである距離データγiとして使うようにしてもよい。

次に、ラインバッファRAM1、RAM2からの原画像データの読出しと、変倍画像データ演算との関係を説明する。50

11

第1a図、第2a図および第4図に示す実施例は、2画素の原画像データ S_{ij} と S_{ij+1} と R_i に基づいて変倍画像データを演算(①又は②)するものである。ラインメモリRAM1とRAM2には、6ビットの原画像データを、ライン単位で交互にそのままDCLKに同期させて入力し、この入力において、ラッチ25で S_{ij} を得ると共に、ラッチ25を介さずに S_{ij+1} を得て、それぞれ6ビットの S_{ij} と S_{ij+1} を並べて12ビットデータとして1ワード12ビットのデータをライン単位で、RAM1とRAM2に交互に書き込み、一方を書き込みをしているときに他方から1ワード(12ビット)単位でデータを読み出すので、演算器28には、一度に S_{ij} (6ビット)と S_{ij+1} (6ビット)が与えられる。

第3a図の実施例では、3段のラッチ25₁~25₃を有し、それらのラッチデータ S_{ij-1} 、 S_{ij} および S_{ij+1} とラッチを介さないデータ S_{ij+2} が、各6ビットでパラレル24ビットのワードに組合されて、RAM1およびRAM2に書き込まれ、パラレル24ビット同時にそれらより読み出される。したがって、演算器28には、一度に S_{ij-1} (6ビット)、 S_{ij} (6ビット)、 S_{ij+1} (6ビット)および S_{ij+2} (6ビット)が与えられる。

なお、ラッチ25、25₁~25₃をデータセクタ27と演算器28の間に介挿して、RAM1、2には、6ビットデータのみのライン分を読み書きするようにしてもよい。このようにすると、ライン分の変倍画像データの送出力が、1画素分(第1a図対応の場合)又は、3画素分(第3a図対応)遅延するが、RAM1、RAM2のメモリ容量が、いずれの場合でも、それぞれ6ビット×1ライン画素数で済むことになる。したがって、数画素分の遅延ずれが問題とならない使用態様において、ラインバッファメモリ容量を30

ここでRAM1が書込状態($a=H$, $b=L$)の時は、通常動作でDCLKを周期にアドレスカウンタ38が進んでいくようになっているが、RAM1が出力状態($a=L$, $b=H$)のときの、原画像データのサンプリング位置 x (J_i)の画像データ読出しのための、読出しアドレスの設定方式について説明する。

まず、第1の方法は、アドレスカウンタへのカウントクロック周波数を変えてしまう方法である。データクロックDCLKの周波数を f_d とすると、 $R\%$ 変倍時の周波数 f_r は、

$$f_r = f_0 \cdot 100/R \quad (\text{Hz}) \quad \dots (5)$$

となる。

この方式では、 f_0 に対する f_r のズレが、原画像と変倍画像のサンプリング点のズレそのものになるので、正確かつ確実である。RAM1、2の読み出し時、アドレスカウンタを f_r で動かし、RAM1、2の出力を再びDCLKでサンプル(ラッチ)することによって、所望の合成データを得ることができる。この方法であれば、先に述べた(4)式の計算結果で整数 J_i についての情報は不要となる。しか

12

して、この態様では、変倍率 $R\%$ を例えば50~400%とし、 R_x の最小単位を1%とすると、350組のパルス $i=f_0 \cdot 100/R_x$ が必要となる。これは専用のマイクロプロセッサで作成する。

第2の方法は、まず、前述の(4)式の計算結果で整数 J_i に注目し、前の変倍画像データサンプリング位置 X_{i-1} と今回のサンプリング位置 X_i とで、

(1) 縮少時

整数部が1つ増加している($J_i - J_{i-1} = 1$)とき $A_i = H$

整数部が2つ増加している($J_i - J_{i-1} = 2$)とき $A_i = L$

(2) 拡大時

整数部が1つ増加している($J_i - J_{i-1} = 1$)とき $A_i = H$

整数部が増加していない($J_i - J_{i-1} = 0$)とき $A_i = L$

なる整列 $\{A_i\}$ を、 $i=0 \sim R_x-1$ まで定義し、RAM3(第1a図)に書き込んでおく(読み取り前)。同様に、副走査方向についても $i=0 \sim R_y-1$ まで演算してRAM4(第1e図)に書き込んでおく。これは第1a図、第2a図、第3a図、第3d図および第4図の実施例のすべてに共通である。

そして、第4図の実施例では、カウントパルスとして、データクロックDCLKと、DCLKの2倍の周波数のパルス2DCLKを用意する。変倍画像データ演算のとき、 A_i はRAM3から読み出し、読み出しは $i=0 \sim R_x-1$ をくりかえし読み出す。この第4図の実施例では、縮少時($R_x < 100$)は、ラインメモリ(RAM1又はRAM2)の読出しのためのアドレスカウンタ(38又は43)のカウントパルスは、

$$\begin{array}{ll} A_i = H \text{ のとき} & \text{DCLK} \\ A_i = L \text{ のとき} & 2\text{DCLK} \end{array}$$

になるように切り替える。拡大時($R_x \geq 100$)は、アドレスカウンタ38又は43のカウントパルスは、 A_i とDCLKのAND(論理積)とすることによって、 $A_i = H$ のときカウントアップ、 $A_i = L$ のときカウントせず、のようにする。以上は、副走査方向の指定倍率 R_y についても同様である。

本発明の全実施例は、RAM3およびRAM4を有し、RAM3およびRAM4は、マイクロプロセッサ35で計算した R_x および R_y に関する(4)式の結果に基づく前述の A_i を格納する。これらのRAM3およびRAM4には、更に、各実施例で異なるデータ B_i をも格納する。 B_i の内容は後述する。

このように、画像読取前にRAM3およびRAM4に A_i を格納しておき、画像読取中にRAM3よりデータクロックDCLKに同期して、またRAM4よりラインクロックLSYNCに同期して、 A_i および B_i を読み出して、 A_i に基づいて主走査方向 X の読出しアドレスを設定すると、RAM1およびRAM2より、同時に隣接データ S_{ij} と S_{ij+1} が(第1a図、第2a図

13

および第4図の実施例)、又は同時に隣接データ S_{ij-1} , S_{ij} , S_{ij+1} , S_{ij+2} が(第3a図の実施例)、読み出されることと相伴って、後述するように、変倍画像データを演算する演算器28, 29の構成が簡単になる。なお、RAM4より読み出したデータ A_i では副走査方向Yのラインデータの抽出位置を定める。

第4図の実施例のカウントパルスの切換方式では、拡大時($R_x, R_y \geq 100$)、 $A_i = L$ のとき、カウンタ38, 43のENABLE端子をLにして、カウントをストップさせてもよい。

第3の方法は、第1a図に示す実施例で実行するものである。アドレスカウンタ38, 43自身は、データクロックDCLKによるカウントアップを続ける。そしてアドレスカウンタ38, 43と別にもう1つこちらはアップダウンカウンタ39, 44を設け、拡大時($R_x \geq 100$)はダウン指定し、縮小時($R_x < 100$)は、アップ指定する。そしてこのアップダウンカウンタ39, 44は、 $A_i = L$ のときだけカウントするように、DCLKと A_i のAND(論理積)を入力する。

これによって、例えば縮小時、まず最初の $A_i = L$ でアップダウンカウンタ39, 44を1にし、加算器37, 42で、アドレスカウンタ38, 43の値に1をたして、RAM1, RAM2の読出しアドレスとする。更に、次の $A_i = L$ でアップダウンカウンタ39, 44を2にして、アドレスカウンタ38, 43のカウント値とたす、というようにしてサンプリング点の位置 x (J_i)を決めていく。拡大の場合は、読出しアドレスをシフトせずに読み出す必要があり、このときアドレスカウンタ38, 43はカウントアップするのでこれを補償するため、逆に $A_i = L$ で1ずつ引いていくように、アップダウンカウンタ39, 44を減算していく。

副走査方向のサンプリング位置指定も上記と同様である。

次に主走査方向の変倍画像データ(X変倍画像データ)演算について説明する。なお、副走査方向の変倍画像データ演算(Y変倍画像データ演算)も同様である。第1a図に示す実施例は、前述の①の方法を実行するものであり、第2a図に示す実施例は前述の②の方法を実行するものであり、また第3a図に示す実施例は前述の③の方法を実行するものである。これらの方法の実行手段を説明する。

①最近接画素設定法(第1a図の実施例)

この方式の演算方法は比較的簡単である。第5図で S_{ij} と S_{ij+1} のうち変倍画像データサンプリング位置 i (第12図でQ)に近い方を選択するようにすればよい。

(4)式に基づいて整数 J_i および小数 R_i を、マイクロプロセッサ35で演算してとき、小数 R_i すなわちQと S_{ij} との距離 r_1/P (Pは原画像データのサンプリングピッチであり、実施例では $P=1$)が0.5以下ならば S_{ij} を選択し、0.5より大きければ S_{i+1} を選択するようにすればよい。

第1a図に示す実施例では、マイクロプロセッサ35が、

14

J_i および R_i を演算しかつ前述の A_i を演算したときに、 r_1/P が0.5以下ならば $B_i = H$ とし、0.5より大きければ $B_i = L$ とする整列 B_i をも演算して、 B_i を A_i と共に、RAM3の同じアドレスに書き込む。これは画像読取前の処理である。画像読取が開始されると、データクロックDCLKに同期して、RAM3より A_i および B_i を読み出して、 B_i をセレクト信号として、 $B_i = H$ で S_{ij} の選択を、 $B_i = L$ で S_{ij+1} の選択を、この実施例では演算器28のデータセクタ80XA(第1d図)に与える。

②近接画素距離線形配分法(第2a図)

この方式は、①より複雑になる。前述の(1)式の計算を行わなくてはならないためである。この場合問題となるのは、距離 r_1/P あるいは r_2/P の精度である。小数点第1位まで、つまり、0.1きざみ程度で考えれば良いかもっと細かく見る必要があるか、あるいはPを4分割した程度すなわち0.25きざみくらいでも良いかということである。この問題は、デジタルコピーシステムとしてあるいはファクシミリシステムとして、どこまで精度が必要かという問題であり、デジタルコピーやファクシミリシステムでの、所要画像品質に対応する。演算処理から見れば、 r_1/P , r_2/P が、2のべき乗の逆数であるので好ましい。これは、 $1/2, 1/4, 1/8$, 等の演算は、対象データのビットシフトのみで可能であるからである。そこでまず(4)式の演算結果より、 $R_i = r_1/P$ を0.25(1/4)きざみに分ける。すなわち、 R_i の最小単位を1/8として、 R_i の領域区分を1/4とする。一例として、次のように分けてみる。

$0 \leq r_1/P < 1/8$ のとき、 $R_i = r_1/P = 0$, $B_i = 0$

$1/8 \leq r_1/P < 3/8$ のとき、 $R_i = r_1/P = 1/4$, $B_i = 1$

$3/8 \leq r_1/P < 5/8$ のとき、 $R_i = r_1/P = 1/2$, $B_i = 2$

$5/8 \leq r_1/P < 7/8$ のとき、 $R_i = r_1/P = 3/4$, $B_i = 3$

ここで、 $7/8 \leq r_1/P < 1$ のときは、Qと S_{ij+1} とが同じ位置ということになるので、そういう分類を作って $B_i = 4$ とする方法もあるが、この場合には B_i に3ビットが必要になるので、ハードウェア構成上からは、この場合 x を1つ繰り上げ、整数 J_i を1つ大きい値とし、小数 R_i を0にして、Qが S_{ij+1} と S_{ij+2} の間にあって、 $B_i = 0$ とするのが、 B_i が2ビットの信号で済むので好ましい。上記①と同様に、この B_i を A_i と共に、RAM3の同じアドレスに書き込む。

この方式を実施する第2a図において、4つに分けた距離($B_i = 0 \sim 4$)によって、

$$A \cdot S_{ij} + B \cdot S_{ij+1} = 0ik \quad \dots (6)$$

ただし、Aは r_1/P に対応する係数、

Bは r_2/P に対応する係数、

S_{ij} , S_{ij+1} は6ビットデータの内容、

0ikは変倍画像データ(6ビット)の内容、

のAとBとが決まるため、第2a図のX方向変倍画像データ演算器80XBで、4通りの $A \cdot S_{ij}$ と $B \cdot S_{ij+1}$ を計算し、そのうち1つつづを B_i 対応でデータセクタ28b, 28

15

cで選択し、加算器28dでたして、変倍画像データ0ikを得る。

第2a図に示す実施例では、Biに対応する係数AおよびBは次の第1表に示すように設定している。

第 1 表

		Bi	A	B
a	$0 \leq r_i/P < 1/8$	0	1	0
b	$1/8 \leq r_i/P < 3/8$	1	3/4	1/4
c	$3/8 \leq r_i/P < 5/8$	2	1/2	1/2
d	$5/8 \leq r_i/P < 7/8$	3	1/4	3/4

1/2, 1/4など2のべき乗の逆数は、信号線のビットシフトのみで得られるため、ハード構成が非常に楽になる。

第2a図に示すX方向変倍画像データ演算器80XBの変形例を第2c図に示す。第2c図に示すX方向変倍画像データ演算器80XBは、ROM28gで構成されている。予めSij (6ビットの最小値から最大値)、Sij+1 (6ビットの最小値から最大値)とBiによって決まる変倍画像データ0ikを計算しておき、それをROM28gに書込んでいく。画像読取変倍処理時には、Sij, Sij+1をROM28gのアドレスとして変倍画像データ0ikを読み出す。

Sijは6ビット、Sij+1は5ビット (係数Bが1以下なので上位5ビットだけで済む)、Biが2ビットであるから、ROM28gは、アドレス13ビットで8k×8ビットのROMで済むので、予め行なう計算もそれほど大変ではなくできる。変倍画像データ演算のためのハード構成は非常に簡単になる。

③三次関数コンボリューション

この方式は前述の(3)式に示すように非常に複雑な計算を必要とし、ハードウェア化には不向きなようであるが、前述①、②の方式と比べても、精度の良い変倍ができる。この方式も②の場合と同様に距離の精度の問題があるが、ここでも②のように γ_i/P を4つに分割した場合を考える。分割方法も②と全く同様とする。

前述の(3)式は、簡単に書き直すと、

$$A \cdot S_{ij-1} + B \cdot S_{ij} + C \cdot S_{ij+1} + D \cdot S_{ij+2} = 0ik \quad \dots (7)$$

となる。なお、(3)式の分母は規格化係数であるので、パラメータから除外できる。

前述の(2)式から、 $\gamma_i/P = 0, 1/4, 1/2, 3/4$ の4つの場合でA, B, CおよびDを計算すると、次のようになる。

16

	γ_i/P	A	B	C	D
a	0	0	1	0	0
b	1/4	-9/64	57/64	19/64	-3/64
c	1/2	-1/8	5/8	5/8	-3/8
d	3/4	-3/64	19/64	57/64	-9/64

この係数をもとにして、②の場合の第2a図のX方向変倍画像データ演算器80XBと同様に、4通りの $A \cdot S_{ij-1}, B \cdot S_{ij}, C \cdot S_{ij+1}, D \cdot S_{ij+2}$ (Sij等は0~63)を用意しておき、Biによって1つずつ選択して4つを加算する方式がある。ただし、この場合は、②のときと違ってそれぞれ計算が若干めんどくさく、ハードウェアも少し複雑になる。そこで、ハードウェアの負担を少しでも軽くするため、係数A, B, CおよびDを次の第2表のように近似して、書き直す。ただし、このとき、 $A+B+C+D=1$ になることが必要である。この方が、係数の分母が8以下で、ハードウェアによる計数はかなり楽になる。

第 2 表

	γ_i/P	Bi	A	B	C	D
a	$0 \leq r_i/P < 1/4$	0	0	1	0	0
b	$1/4 \leq r_i/P < 1/2$	1	-1/8	7/8	1/4	0
c	$1/2 \leq r_i/P < 3/4$	2	-1/8	5/8	5/8	-1/8
d	$3/4 \leq r_i/P < 7/8$	3	0	1/4	7/8	-1/8

第3a図に示すX方向変倍画像データ演算器80XCは、この第2表の係数を用いて、③の変倍画像データ演算を行なうようにしている。

この例でも、X方向変倍画像データ演算器80XCとして第2c図に示すようにROMを用いることが考えられる。そのようにするときには、第3c図に示すようにROM63を用いる。ROM63のアドレスが、Sij-1に3ビット、Sijに6ビット、Sij+1に5ビット、Sij+2に3ビット、Biに2ビットで、計17ビットとなる。メモリ量が128kバイトになってしまうため、ROM63に予め格納するデータの計算が少々大変ではある。しかし、この方法であれば、変倍画像データ演算のためのハードウェアも簡単になる。

次にMTF補正を説明する。

第1の方法では、倍率対応で補正係数を予め設定しておく。すなわち、第14a図～第14d図に示す補正係数(フィルタ係数)を設定したMTF補正演算式を揃えて、倍率Rでその1つを特定してMTF補正する。主走査X方向の変倍画像データ演算をした直後(第1d図のデータセレクタ80XAの出力、第2a図および第2c図のX方向変倍画像データ演算器80XBの出力、および第3a図および第3c図のX

17

方向変倍画像データ演算器80XCの出力)では、Y方向の変倍処理をしていないので、X方向のMTF補正のみを行なう。

$$Mik = Y \cdot (Oi - Ik) + V \cdot (Oik - 1) + W \cdot (Oik + 1) + X/2 \cdot (Oi - Ik) + Z \cdot (Oik) \quad \dots (8)$$

となる。係数Xは、注目画素OikのMTF補正したMikに対する注目画素Oikの補正前の値の重み付け係数であり、Y, V, WおよびZは、注目画素OikのMTF補正した値Mikに対する近接画素Oi-1k, Oik-1, Oik+1およびOi-1kの値の重み付け係数である(第13a図および第13b図)。

ここでMTF補正係数を示す第14a図～第14d図を参照する。

第14a図に示すように、倍率Rが100%未満と小さい場合すなわち変倍画像データ、原画像に対するサンプリング密度が高い場合には、注目画素の画像データの重み付け係数Xに対する近隣画素の重み付け係数Y+V+W+Zの比(Y+V+W+Z)/Xの絶対値が、4/5と大きく、注目画素に対して強いMTF補正がかけられることになる。

第14b図に示すように、倍率Rが100%以上200%未満とやや大きい場合すなわち変倍画像データの、原画像に20に対するサンプリング密度がやや低い場合には、注目画素の画像データの重み付け係数Xに対する近隣画素の重み付け係数Y+V+W+Zの比(Y+V+W+Z)/Xの絶対値が、1/2とかなり小さく、注目画素に対して弱いMTF補正がかけられることになる。

$$Mik = V \cdot (Oi - Ik) + W \cdot (Oik + 1) + X/2 \cdot (Oik) + Y \cdot (Oki - 1) + Z \cdot (Oi - Ik) + X/2 \cdot (Oik)$$

であるので、X方向のみのMTF補正では、

$$Mik = V \cdot (Oik - 1) + W \cdot (Oik + 1) + X/2 \cdot (Oik) \quad \dots (9)$$

をMTF補正した値とすればよい。Y方向のみのMTF補正では、

$$Mik = Y \cdot (Oi - Ik) + Z \cdot (Oi - Ik) + X/2 \cdot (Oik) \quad \dots (10)$$

をMTF補正した値とすればよい。

そこで第1d図に示す第1実施例のX方向MTF補正演算器110XAでは、第14a図、第14b図、第14c図および第14d図に示す補正係数を第(9)式に代入した、4組のMTF補正演算式を、それぞれ実行して、指定倍率Rに対応する演算式で演算した値を、データセレクト98で抽出するようにしている。第2a図に示す第2実施例および第3a図

18

第13a図に示す補正係数(フィルタ係数)V～Zと、第13b図に示す画像データ分布から、注目画像データOikのMTF補正した値Mikは、

対値が、2/3とやや小さく、注目画素に対してやや弱いMTF補正がかけられることになる。

第14c図に示すように、倍率Rが200%以上300%未満とかなり大きい場合すなわち変倍画像データの、原画像に対するサンプリング密度がかなり低い場合には、注目画素の画像データの重み付け係数Xに対する近隣画素の重み付け係数Y+V+W+Zの比(Y+V+W+Z)/Xの絶対値が、1/2とかなり小さく、注目画素に対してかなり弱いMTF補正がかけられることになる。

そして、第14d図に示すように、倍率Rが30%以上400%以下ときわめて大きい場合すなわち変倍画像データの、原画像に対するサンプリング密度がきわめて低い場合には、注目画素の画像データの重み付け係数Xに対する近隣画素の重み付け係数Y+V+W+Zの比(Y+V+W+Z)/Xの絶対値が、1/3ときわめて小さく、注目画素に対してきわめて弱いMTF補正がかけられることになる。

上記(8)式は、

に示す第3実施例もこのようにMTF補正をするようにしている。

補正係数を変える前述の方法以外に、第2の方法として、変倍計算時にMTF補正をも加味した演算を行なう。第5図のh(r)は、入力系のMTF補正が100%であるとした場合の、変倍画像データ演算(上述③)で用いる補間関数である。ところが実際のスキャナでは、読取スピードや、密度によっても変わるが、10～40%度である。後述する実施例が対象とするスキャナSCRでは約15%くらいになり、この周波数応答性H(ω)は、近似的に、第15図に示す曲線となる。この曲線は、

$$H(\omega) = e^{-0.2\omega^2} \quad (H(\pi) = 0.14)$$

と近似でき、このフーリエ変換により得られる補間係数h(r)を第16図に示す。このh(r)を用いて第(3)式でOikを求めることによって、MTF補正を行った形で変倍処理が行なわれる。ここで、③方式で行ったように、r/P=0, 1/4, 1, 2, 3/4の4つに分け、第(7)式

$$E \cdot Sij - 2 + A \cdot Sij - 1 + B \cdot Sij + C \cdot Sij + 1 + D \cdot Sij + 2 = Oik \quad \dots (11)$$

となる。このOikは、X方向の変倍画像データ演算およびMTF補正が済んだものであるため、X方向MTF補正済変

倍画像データMikである。係数A～Eは次の第3表のようになる。

第 3 表

	γ_i/P	B_i	A	B	C	D	E
a	$0 \leq r_i/P < 1/4$	0	$-3/8$	$5/4$	$-3/8$	$1/4$	$1/4$
b	$1/4 \leq r_i/P < 2/4$	1	-1	$5/2$	$-1/2$	0	0
c	$2/4 \leq r_i/P < 3/4$	2	-1	$3/2$	$3/2$	-1	0
d	$3/4 \leq r_i/P < 7/8$	3	0	$-1/2$	$5/2$	-1	0

これは③を実行する、第2表の係数を用いるX方向変倍画像データ演算（第3a図の実施例）の場合よりも、1つ多い係数を用いて、X方向変倍画像データ演算およびX方向MTF補正演算を同時に行ない得ることを示している。この第3表に示す係数に基づいてMTF補正を施したX方向変倍画像データ演算は、第3d図に示す実施例で行われる。

以上、主走査方向Xの変倍画像データ演算およびMTF補正演算につき説明した。副走査方向Yの変倍画像データ演算およびMTF補正演算も同様に行なう。両者の相違は、原画像データを主走査方向Xの並びに着目して演算するか、副走査方向Yの並びに着目して演算するか、の違いである。

次に本発明の実施例のハードウェア構成と動作を説明する。

第1実施例（第1a図～第1e図）

第1a図に示す第1実施例において、スキャナSCRで読み取られた原画像データは1ライン毎にシェーディング補正回路24に、1ライン分のデータにおいては、パラレル6ビット（6ビットが1画素の濃度を示す1ワードである）単位で、シリアルに与えられ、回路24が同様なデータ構成および同様な転送形式で、ライン同期パルスLSYNCの1周期の間に1ライン分を、ライン中の各ワードはデータクロックDCLKに同期して、ラッチ25およびデータ分配器26に与える。回路25の出力が、ある画素のデータ $SI_{ij}+1$ であるとき、ラッチ25の出力はその1画素前のデータ SI_{ij} であり、これらのデータ SI_{ij} と $SI_{ij}+1$ が、パラレル12ビットでデータ分配器26に与えられる。

一方、Tフリップフロップ36が、ライン同期パルスLSYNCの1パルスの到来毎にその出力 Q の信号レベルを反転するので、例えば第1ラインのデータが与えられているときは、データ分配器26は入力12ビットをRAM1に与え、かつRAM1は書き込みに指定される。このときデータセレクト27は入力端Bの12ビットデータを演算器28に与え、RAM2は読み出しに指定される。第2ラインのデータがデータ分配器26に与えられているときは、データ分配器26は入力12ビットをRAM2に与え、かつRAM2は書き込みに指定される。このときデータセレクト27は入力端Aの12ビットデータを演算器28に与え、RAM1は読み出しに指定される。

このようにして、第nラインの隣接2画素のデータが

パラレルにRAM1に書き込まれ、その間第n-1ラインの隣接2画素のデータがパラレルにRAM2より読み出される。第n+1ラインの隣接2画素のデータはパラレルにRAM2に書き込まれ、その間第nラインの隣接2画素のデータがパラレルにRAM1より読み出される。以下同様に、RAM1とRAM2が、ライン同期パルスLSYNCで切り換えられて、交互に書き込みおよび読み出しに指定される。このようにして、第nラインの隣接2画素のデータをパラレルに組合せた12ビットデータをRAM1又はRAM2に書き込んでいるときに、第n-1ラインの隣接2画素のデータをパラレルに組合せた12ビットデータが、RAM2又はRAM1より読み出されて演算器28に与えられる。すなわち、演算器28には、回路24が出力するデータより、ちょうど1ライン分遅れて、隣接2画素のデータを並べた形で原画像データが与えられる。このように、データのバッファメモリRAM1、RAM2への入力に対して、それよりのデータの読み出しはちょうど1ライン分遅れる。

RAM1の読み書きアドレスはサンプリング回路64が、また、RAM2の読み書きアドレスはサンプリング回路65が定める。

まずサンプリング回路64について説明すると、RAM1を書込みに指定しているときには、信号 $a=H$ 、 $b=L$ であり、アンドゲート40がオフ（ゲート閉）であってアップダウンカウンタ39にはカウントパルスが与えられず、その出力は0を示すものに留まる。アドレスカウンタ38にはデータクロックDCLKがカウントパルスとして与えられるので、データクロックDCLKの1パルスの到来毎に1カウントアップする。加算器37は、カウンタ39および38のカウントデータを加算して、和データをRAM1に、アドレスデータとして与える。これにより、隣接2画素のデータをパラレルにした12ビットデータが、データクロックDCLKに同期して、順次にRAM1に書込まれる。すなわち1ライン分のデータのすべてがRAM1に書込まれる。

RAM1が読み出しに指定されているときには、 $a=L$ 、 $b=H$ であるので、信号 c がLのときにアンドゲート40がオン（ゲート開）で、アップダウンカウンタ39にデータクロックDCLKがカウントパルスとして与えられる。信号 $d_i=$ （縮小）であるとアップカウントし、 $d_i=L$ （拡大）であるとダウンカウントする。信号 c はすでに説明したデータ A_i であり、カウント停止/進行を制御するものである。読み出しのときには、カウンタ39および38の

21

カウント値の和がRAM1の読み出しアドレスとなる。 $c = L$ の場合、 $d = H$ のときにはDCLKが1パルス現われる毎に、カウンタ39が1カウントアップして、RAM1の読み出しアドレスが2進み、 $d = L$ のときにはDCLKが1パルス現われる毎に、カウンタ39が1カウントダウンして、RAM1の読み出しアドレスが停止することに注目されたい。 $c = Ai$ である。

サンプリング回路65は、64と全く同じ構成であるが、アンドゲート45に、 b 信号でなく a 信号が加わる点異なる。これは、RAM1を読み出し($b = H, a = L$)としているときにはRAM2を書込みとし、RAM1を書込み($b = L, a = H$)としているときにはRAM2を読み出しにして、読み出しアドレスをカウンタ44と43のカウント値の和とするためである。

ここで Ai について説明する。マイクロプロセッサ35が、画像読取スタート指示(STがLからHに変化)に回答して、指定された変倍率 $R_x\%$ を読み、これに基づいて、 $i = 0 \sim R_x - 1$ のそれぞれにつき、 Ji および Ri を演算して、 $R_x < 100$ (縮小)の場合は、 $Ji - Ji - 1 \geq 2$ で Ai をLとし、 $Ji - Ji - 1 \leq 1$ で Ai をHとし、 $R_x \geq 100$ (拡大)の場合は、 $Ji - Ji - 1 \geq 1$ で Ai をHとし、 $Ji - Ji - 1 \leq 0$ で Ai をLとし、 $Ri \leq 0.5$ のときは、 Bi をHとし、 $Ri > 0.5$ のときは Bi をLとして、 Ai および Bi を、RAM3(第1a図)のアドレス i にメモリする。このメモリ動作において、マイクロプロセッサ35は、 $i = 0$ 対応のデータ a および b_0 を書込む前にオアゲート49に1パルスを与えて、 R_x を示すデータをアドレスカウンタ48にロードする。そして a および b_0 をRAM3に与えると、オアゲート51に1パルス与えて、アドレスカウンタ48を1インクリメントして、 $i = 1$ 対応のデータ a および b_1 をRAM3に与えて次にオアゲート51に1パルスを与える。このような動作を $i = R_x - 1$ まで行なう。これにより、RAM3のアドレス0に $i = 0$ 対応のデータ a および b_0 が、アドレス1に $i = 1$ 対応のデータ a および b_1 が、...アドレス $R_x - 1$ に $i = R_x - 1$ 対応のデータ a_{R_x-1} および b_{R_x-1} が書込まれていることになる。

なお、上述の説明は、副走査方向の R_y に対応した Ai および Bi の処理およびそれらのRAM4への書込みについても当てはまる。ただし、 R_x は R_y と、RAM3はRAM4と、データクロックはラインクロックと読み替える。

そして画像読取をスキヤナSCRで指示して、実際に画像読取を開始したときには、ライン同期パルスLSYNCでアドレスカウンタ48に指定倍率 $R_x\%$ を示すデータがセットされて、データクロックDCLKが1パルス現われる毎にカウンタ48が1インクリメントして、DCLKが1パルス現われる毎に読出しアドレスを1つつ大きくする形で、 $i = 0$ 対応のデータ a および b_0 から $i = R_x - 1$ 対応のデータ a_{R_x-1} および b_{R_x-1} が順次に読み出されて、データ Ai は信号 c として、サンプリング回路64および65に与えられ、データ Bi は演算器28のデータセクタ80XAに与えられ

22

る。

データセクタ80XAは、 $Bi = H$ では Si_j を、 $Bi = L$ では Si_{j+1} を変倍画像データ Oik として出力する。この出力動作はデータクロックDCLKに同期している。

X方向に変倍して得た変倍画像データ Oik はX方向MTF補正演算器100XAに与えられて、X方向MTF補正した変倍画像データ Mik が副走査変倍演算器29に与えられる。回路29で副走査方向Yの変倍処理およびMTF補正を施されて、2値化回路30および階調処理器31に与えられる。

この実施例では、階調処理器31は、64種の、濃度対応の階調表現データ分布パターンを有するROMと、64カウントで初期化するサイクリックラインカウンタおよび64カウントで初期化するサイクリックデータクロックカウンタを有するものであり、該ROMの読み出しアドレスを、 Oik 、ラインカウンタデータおよびデータクロックカウンタデータで設定する。すなわち Oik でROMの1パターンを特定し、そのパターンの主走査アドレスをデータクロックカウンタで、また副走査アドレスをラインカウンタで特定して、該パターン中のビット画像データを読み出す。マイクロプロセッサ35が2値化データ出力を指示している($i = H$)ときには、ゲート回路32~34が2値化回路30の出力を、階調データ出力を指示している($i = L$)のときには階調処理器31の出力を、プリンタPRTに出力する。

X方向MTF補正演算器100XAでは、ラッチ81で変倍画像データ(Oij)をデータクロックDCLKの1周期分遅延し、またラッチ82で更に1周期分遅延する。これにより、第(9)式を実行するための変倍画像データ $Oik - 1$ および Oik がラッチ82および81より得られ、ラッチ81の入力側に $Oik + 1$ が得られる。これらのデータはX方向MTF演算器100XAに与えられる。

X方向MTF演算器100XAの加算器83には Oik の全6ビットを上位に1ビットシフトしたデータ($2 \cdot Oik$)と全6ビットの上位5ビットのみを抽出したデータ($1/2 \cdot Oik$)とが与えられ、加算器83は $5/2 \cdot Oik$ を示すデータを加算器94に与える。加算器84は、 $Oik - 1$ と $Oik + 1$ の和を示すデータを補数器90に与える。補数器が $-(Oik - 1 + Oik + 1)$ を示すデータを加算器94に与える。これにより、加算器94は、第14a図に示す係数を第(9)式に代入したMTF補正演算値をデータセクタ98の入力端Aに与える。

加算器85、86、補正器91および加算器95は、第14b図に示す係数を第(9)式に代入したMTF補正演算値をデータセクタ98の入力端Bに与える。加算器87、補数器92および加算器96は、第14c図に示す係数を第(9)式に代入したMTF補正演算値をデータセクタ98の入力端Cに与える。また、加算器88、89、補数器93および加算器97は、第14d図に示す係数を第(9)式に代入したMTF補正演算値をデータセクタ98の入力端Dに与える。

一方、マイクロプロセッサ35は、画像読取直前に、指

23

定倍率 R_x, R_y をチェックして、 $R_x, R_y < 100$ のときには、A入力を出力に設定する選択指示データRR1およびRR2をデータセクタ98およびY方向MTF演算器100Yのデータセクタに出力し、 $100 \leq R_x, R_y < 200$ のときには、B入力を出力に設定する選択指示データRR1, RR2を同様に出力し、 $200 \leq R_x, R_y < 300$ のときには、C入力を出力に設定する選択指示データRR1, RR2を同様に出力し、 $300 \leq R_x, R_y$ のときには、D入力を出力に設定する設定指示データRR1, RR2を同様に出力する。

これにより、X方向MTF演算器28では、指定倍率 R_x に 10 応じた、MTF補正係数で演算した変倍画像データMikが得られ、副走査変倍演算器29に与えられる。

次に副走査変倍演算器29の構成を、第1e図を参照して説明する。

主走査方向Xの変倍演算およびMTF演算をした変倍画像データMikは、データクロックDCLKに同期してサンプリング回路65Yのゲート103に与えられる。RAM4には、RAM3にAiおよびBiを書込んだ後に、 R_y に基づいて減算したAiおよびBiが書込まれる。そして、画像読取時には、アドレスカウンタ48YがラインクロックLSYNCをカウントし 20 て、RAM4の読み出しアドレスを定める。したがって、ここではAiおよびBiは、データクロックDCLKではなくラインクロックLSYNCの1パルス毎（副走査の進行に合せて）にiを1大きい値にしたもの（Ai, Bi）がRAM4より読み出される。

サンプリング回路65Yのアドレスカウンタ43Y、アップダウンカウンタ44Y、アンドゲート45Yおよび加算器42Yは、概略で、主走査方向のサンプリング回路65（第1a）と同様な構成であるが、データクロックDCLKではなく、ラインクロックLSYNCをカウントする。すなわち副走査 30 方向のサンプリング位置Yを定める。アドレスカウンタ43Yのカウントデータは、1頁の画像読取開始を始点とした、副走査位置を示し、加算器42Yの出力データは、副走査方向のサンプリング位置yを示す。両データが合致すると、すなわち画像読取の副走査位置がサンプリング位置yに合致すると、比較器102がH出力をラッチ129とオアゲート130に与える。このオアゲート130にはラッチ129の出力も与えられるので、オアゲート130は、画像走査ラインNo. がJi (y) のときとJi+1 (y+1) のとき、ゲートオン信号(H)をデータゲート103, および 40 アンドゲート108, 109に与える。サンプリング位置Ji (y) のラインとその次のラインのデータが到来する間、オアゲート130がゲート開信号(H)を発生する点に注目されたい。

一方、RAM4から読み出されたデータBiは、ラッチ131にセットされ、オアゲート132が、2ラインの区間に渡って同一のデータBiを出力する。第1d図のデータセクタ80XAに対応する変倍演算器80Yの、R-Sフリップフロップ104は、画像副走査位置がサンプリング位置Ji 50 (y) になったときにHとなる信号sの立上りでセット

24

され、その次のLSYNCでHとなる信号tでリセットされる。すなわちフリップフロップ104は、副走査位置がサンプリング位置(y) になったときにセットされて、次に副走査が進むとリセットになる。このセットになったときと、続いてリセットになったときの2ライン（隣接2ライン）に渡って、オアゲート132より同一のデータBiが出力されるので、フリップフロップ104の出力Qを受けるアンドゲート105が、フリップフロップ104が信号sでセットされしかもデータBiがH（隣接2ラインのうちの、先行ラインの選択指示）のときにHの出力をオアゲート107を通してデータゲート103およびアンドゲート108, 109に与える。フリップフロップ104のQ出力を受けるアンドゲート106は、フリップフロップ104が信号tでリセットされしかもデータBiがL（隣接2ラインのうちの、後行ラインの選択指示）のときHを出力し、オアゲート107を通してデータゲート103およびアンドゲート108, 109に与える。ゲート103およびアンドゲート108, 109は、データBiがHのときには、画像副走査がサンプリングラインNo. y (Ji) になったとき、1ライン区間のみゲート開とされ、データBiがLのときには、画像副走査がサンプリングラインNo. y (Ji) の次のラインy+1 (Ji+1) になったとき、1ライン区間のみゲート開とされる。このようにして、データBiがHのときには（4）式で演算されたJiで示されるラインNo. yのデータが1ライン分メモリ29に格納される。データBiがLのときにはJiの次のラインNo. y+1のデータが1ライン分メモリ29に格納される。

以上が副走査方向の変倍画像データ演算（この第1実施例では、サンプリングラインと次の隣接1ラインの、一方のラインの選択）である。

次に副走査方向のMTF補正を説明すると、前述の第(10)式で、副走査方向のMTF補正をした変倍画像データ（すなわちここでは主走査方向および副走査方向の変倍画像データ設定が終っており、しかも主走査方向のMTF補正が終っているので、変倍処理およびMTF補正をすべて完了した最終データ）を得る。ラインバッファ81Yおよび82Yには、それぞれ、主走査方向および副走査方向の変倍処理および主走査方向のMTF補正を終了した変倍画像データの1ライン分が格納されている。バッファ82Yの出力画像データをMi-1kとするとバッファ82Yの出力画像データは、それより1ライン分後のMikであり、バッファ82Yの入力端に到来する画像データはMikより更に1ライン分後のMi+1kである。これらは、第1d図に示すX方向MTF演算器100XAと同一構成の、Y方向MTF演算器100Yに与えられ、Y方向MTF演算器100Yのデータセクタ（98に対応するもの）には、前述のRR2が与えられる。Y方向MTF演算器100Yが、第1d図の、Oik-1をMi-1kに、OikをMikに、またOik+1をMi+1kに、置換した形の、4つの式（第10式に第14a図、第14b図、第14c図および第14d図の係数を代入した式）の演算をして、その

25

1つの解を示すデータを出力する。この出力が、主走査方向および副走査方向の変倍処理を完了し、かつ主走査方向および副走査方向の変倍処理を完了した、変倍画像データである。

ここで第1e図の要素と、第1a図および第1d図の要素との対応を見ると、第1e図の、ラッチ129, 131, オアゲート130, 132, 133, 変倍演算器80Yおよびデータゲート65Yが、第1a図のサンプリング回路65および第1d図のデータセレクト110XAの組合せでなる主走査方向変倍演算手段、に

対応する、副走査方向演算手段である。
第1e図のバッファメモリ81Yおよび82Yは、第1d図の、主走査方向一面素分のデータ遅延を得るラッチ81および82に対応する、副走査方向一面素分のデータ遅延を得るラインバッファメモリである。第1e図のY方向MTF演算器100Yは、第1d図に示すX方向MTF演算器100Xaと同一構成の、第14a図〜第14d図に示す第(10)式の演算(4組)を実行し、その1組の演算解を示すデータを出力する演算器である。

次にマイクロプロセッサ35の変倍処理制御動作を第1b図および第1c図を参照して説明する。まず第1b図を参照20する。

電源が投入される(ステップ1)とマイクロプロセッサ35は、入出力ポートを待機状態のレベルに設定し、内部レジスタ、カウンタ、タイマ、フラグ等をクリアする(ステップ2:以下カッコ内ではステップという語を省略する)。

次に主走査方向のサンプリング位置情報演算とRAM3への書き込みのため、主走査方向の指定変倍率 $R_x\%$ を指示するデータ R_x を読んでレジスタ R_{sx} にメモリし(3x)、出力ポートgにLをセットする(4x)。すなわちアンドゲート50をオフ(ゲート閉)として、アドレスカウンタ48には、カウンタパルスが外部から与えられないように設定する。次に、出力ポートnに、レジスタ R_{sx} に格納している指定変倍率 $R_{sx}\%$ を示すデータをセットして(5x)、アドレスカウンタ48Xのプリセットデータ入力端Pに加える。そして、出力ポートfに1パルスを出して(6x)、アドレスカウンタ48Xに R_{sx} をロードする。これによりアドレスカウンタ48Xが初期化(初期アドレス設定)されたことになる。次にマイクロプロセッサ35は、 R_{wi} を書込み指示レベルに設定してRAM3を書込みに設定し(7x)、内部アドレスレジスタiの内容を0に示すものに設定(レジスタクリア)する(8x)。これにより前述の $i=0$ を設定したことになる。次にレジスタjをクリアし、レジスタBiおよびAiにHをセットする(9x)。そしてRAM3にレジスタBiとAiの内容BiおよびAiをメモリする(10x)。この段階では、 $i=0$ であるので、RAM3のアドレスRに、 $B_0=H$ および $A_0=H$ が書込まれたことになる。次にレジスタiの内容を1インクリメントする(11x)。これによりiの値が前より1大きい数値に変更されたことになる。次に、iが2以上(この段階では50

26

2)であるので、

$$100i/R_{sx}=J_i+R_i$$

なる整数 J_i および小数 R_i を演算し(13x)、前回演算値レジスタ j_{i-1} に今回演算値レジスタ j_i の内容を移して(14ax)、今回演算値レジスタ j_i に、整数 J_i をメモリし(14bX)、次にステップ15x〜17xで、 B_i を設定し、ステップ18x〜25xで A_i を設定する。そして出力ポートiにパルスを出して(22x)、RAM3の書き込みアドレスを1インクリメントして、書き込みアドレスを進めて、ステップ10xでRAM3に、前記設定した B_i および A_i を書込む。以下同様に、iを1大きい数値に変更し(11x)、 J_i および R_i を演算し(13x)、それらと R_{sx} に基づいて B_i および A_i を設定し(15x〜25x)、RAM3の書き込みアドレスを更新して(22x)、 B_i および A_i をRAM3に書込む(10x)。このようにして、 $i=R_{sx}+1$ になると、 $i=0\sim R_{sx}-1$ のそれぞれに対応する B_i および A_i をすべてRAM3に書込んだことになるので、ステップ12xから第1c図のステップ60に進む。

ステップ60は、ステップ3x〜25xと同様なステップで構成されるが、それらのステップ3x〜25xの中の、 R_{sx} を R_{sy} と、mとnと、 f_1 を f_2 と、RAM3をRAM4と、hとh₂と、読み替えたものである。すなわち、副走査方向の指定変倍率 R_y に基づいてサンプリング位置情報 A_i および変倍演算情報 B_i を演算して、これらの情報をi対応でRAM4に書込む。そしてステップ60から画像読取時の変倍処理制御に進む。なお、ステップ8xから9xに進んだときに、RAM3のアドレス0に $B_0=H$ を書込んでいたが、これは J_{i-1} に正確に対応しない。なぜなら、この段階では J_{i-1} が不明であるからである。しかし、iを $R_{sx}-1$ としたときには、次($i=R_{sx}$)にカウンタ48Xの R_{sx} カウントオーバを示すキャリアでカウンタ48Xを初期化してiを0に戻すので、 $i=0$ と $i=R_{sx}$ とは同じである。そこで、 $i=0$ におけるhの演算を $i=R_{sx}$ のものに置換し得る。そして $i=R_{sx}-1$ のときの f_{i-1} を J_{i-1} として用い得る。そこで、ステップ12xでは、 $i=R_{sx}$ まで、 A_i および B_i の演算とRAM3へのメモリを完了したかを見ている。すなわち $i=0\sim R_{sx}-1$ まで A_i, B_i をメモリすればよいが、更に $i=R_{sx}$ (これは $i=0$ と同義)でも A_i, B_i を演算しメモリするようにしている。この $i=R_{sx}$ では、カウンタ48Xが R_{sx} をカウントオーバーして、RAM3の書き込みアドレスを0にしているので、ステップ9xで書込んだ B_0 および A_0 が、 $B_{R_{sx}}, A_{R_{sx}}$ に書替えられることになる。これにより、ステップ9x, 10xで書込んだのが正確な値に更新されたことになる。

第1c図において、ステップ60から画像読取時の変倍処理制御に進むと、画像読取スタート指示信号STが、読取開始を指示するHになるのを待ち(26)、読取開始指示が到来しない間は、入力されている倍率指示データ R_x, R_y を読んでそれがレジスタ R_{sx}, R_{sy} に格納している値と同じか否かをチェックする(27)。同じでないと、指定倍

27

率 R_x 又は R_y が変更されたことになるので、第1b図のステップ3xに戻って、また同様に、新しい指定倍率 R_x に対応した、データ B_i および A_i の演算とRAM3への書き込み、ならびに R_y に対応した、データ B_i および A_i の演算とRAM4への書き込みを行なう。

画像読取スタート指示信号STがHになると、スキヤナSCRがレディであるかをチェックし(28)、プリンタPRTがレディであるかをチェックして(29)、いずれかがレディでないと、両者がレディになるのを待つ。

スキヤナSCRおよびPRT共にレディであると、2値画像処理(ドキュメント:文章画像処理)が指示されている場合には出力ポートiにHをセットして(31)2値書回路30の出力をプリンタPRTに与えるようにゲート回路32~34を設定し、階調画像処理(写真画像処理)が指示されている場合には出力ポートiにLをセットして(32)階調処理器31の出力をプリンタPRTに与えるようにゲート回路32~34を設定する。

次にマイクロプロセッサ35は、指定変倍率レジスタ R_{sx} の内容を参照して、縮少が指定されているか拡大が指定されているかをチェックし(33x)、縮少が指定されているときには出力ポートdにHをセットして(34x)、アップダウンカウンタ39および44をアップカウン

トに設定する。 R_{sx} により拡大が指定されているときには出力ポートdにLをセットして(35)、アップダウンカウンタ39および44をダウンカウン

トに設定する。続いて、指定倍率 R_x が、 $R_x < 100$, $100 \leq R_x < 200$, $200 \leq R_x < 300$ および $300 \leq R_x$ のいずれの範囲であるかをチェックする(51x, 53x, 55x, 57)。

$R_x < 100$ のときには、X方向MTF演算器100XA(のデータセクタ98)への選択指示信号RR1を、A入力を出力に設定するもの(第14a図の係数に基づいて演算値の出力を指示するもの)に設定する(52x)。

$100 \leq R_x < 200$ のときには、X方向MTF演算器100XA(のデータセクタ98)への選択指示信号PR1を、B入力を出力に設定するもの(第14b図の係数に基づいた演算値の出力を指示するもの)に設定する(54x)。

$200 \leq R_x < 300$ のときには、X方向MTF演算器100XA(のデータセクタ98)への選択指示信号RP1を、C入力を出力に設定するもの(第14c図の係数に基づいた演算値の出力を指示するもの)に設定する(56x)。

また、 $300 \leq R_x$ のときには、XMTF演算器100XA(のデータセクタ98)への選択指示信号RR1を、D入力を出力に設定するもの(第14d図の係数に基づいた演算値の出力を指示するもの)に設定する(57x)。

そしてRAM3を読み出しにセットする(36x)。

また、ステップ70で、これと同様なロジックにより、 R_y に関しても縮少か拡大かを判定して、カウンタ44Yのアップ/ダウンを指定し、 R_{sy} の範囲を検出して、それに対応して、信号RR2を設定する。ステップ70は、ステップ33x~35x, 51x~57xおよび36xと同様なステップで構

28

成される。ただし、これらのステップ33x~35x, 51x~57xおよび36xの内容の、 R_{sx} を R_{sy} と、dをuと、またRAM3とRAM4と読み替えたものである。

次に出力ポートgにHをセットして(37)。アンドゲート50をオン(ゲート開)とする。次にスキヤナSCRおよびプリンタPRTへHレベルのスタート信号ATSを与える(38)。

ATSがHになったのに応答してスキヤナSCRが画像読取を開始し、ライン同期パルスLSYNC, データクロックDCLKおよび原画像データをライン単位で順次にシリアルに出力し、例えば奇数番ラインのデータがRAM1に書き込まれ、偶数番ラインのデータがRAM2に書き込まれ、奇数番ラインのデータがRAM1に書き込まれているときに偶数番ラインのデータがRAM2より読み出され、偶数番ラインのデータがRAM2に書き込まれているときに奇数番ラインのデータがRAM1より読み出される。すなわち第7図に示す形で原画像データがラインバッファメモリRAM1, RAM2に書き込まれ、またそれから読み出される。

この画像読取の間、アドレスカウンタ48Xが、ライン同期パルスLSYNCおよびそれ自身が発生するカウントオーバー信号(指定倍率 $R_{sx}\%$ の数値のカウントをする毎に発生される)により初期化され、それからデータクロックDCLKをカウントアップする。これによりアドレスカウンタ48XがRAM3に与えるアドレスは、ライン同期パルスLSYNCが1パルス到来すると0になり、次にDCLKが1パルス現われる毎に順次に1大きい値になり、最大数 $R_{sx}-1$ の次には、アドレスカウンタ48Xのカウントオーバーによる初期化でまた0になり、またDCLKの到来毎に1大きい値になる。ライン同期パルスLSYNCの一周期の間にこれが繰り返される。RAM3が読み出しに設定されているので、 A_i および B_i , $i = 0 \sim R_x - 1$, が $i = 0$ から順次にRAM3より読み出され、 $i = R_x - 1$ まで読み出されるとまた $i = 0$ から読み出されるという具合に、DCLKに同期して順次に読み出され、 A_i は信号cとしてインバート41および46に、 B_i はデータセクタ28aに与えられる。

$c = A_i = H$ (縮少時で $J_i - J_{i-1} \leq 1$ 、拡大時 $J_i - J_{i-1} \geq 1$)のときには、アンドゲート40, 45がオフ(ゲート閉)になるのでカウンタ39, 44のカウント値が動かず、原画像データのサンプリングピッチ($P = 1$)と同じサンプリングピッチで変倍画像データがサンプリングされる。この期間では、画像倍率は1である。すなわち変倍画像データは、原画像データとなる(間引いたり、あるいは2度書きしたりしたものではない)。

$c = A_i = L$ (縮少時で $J_i - J_{i-1} \geq 2$ 、拡大時 $J_i - J_{i-1} < 1$)の場合には、縮少のときではカウンタ39, 44がアップカウントであるので、アドレスカウンタ38, 43がカウントアップするのと同じくカウンタ39, 40がカウントアップするので、DCLKの1パルスの到来でRAM1, 2の読み出しアドレスが2大きくなり、原画像データを1画素飛びにサンプリングすることになる。拡大のときでは

29

カウンタ39, 33がダウンカウンタであるので、アドレスカウンタ38, 43がカウントアップするのと逆にカウンタ39, 44がカウントダウンするので、DCLKが到来してもRAM 1, 2の読み出しアドレスは動かず、原画像データの同一画素のデータを繰り返してサンプリングすることになる。

以上のサンプリング動作により、指定倍率 R_x に対応したピッチで原画像データがサンプリングされ、 $B_i = H$ ($R_i \leq 0.5$) のときには、データセクタ80XAが、サンプリングした原画像データの S_{ij} を O_{ik} とし $B_i = L$ ($R_i > 0.5$) のときには、データセクタ80XAが、サンプリングした原画像データの S_{ij+1} を O_{ik} として出力する。このようにサンプリングされた原画像データが、X方向MTF演算器110XAで主走査方向のMTF補正される。

第1e図に示す副走査変倍演算器29においては、上述のRAM3の読み出しを、データクロックDCLKのカウントではなく、ラインクロックLSYNCのカウントにした形で、RAMより、データ A_i および B_i が読み出されて、 A_i および B_i がサンプリング回路65Yに与えられる。これにより、副走査方向においても、上述の主走査方向のサンプリングと同様に画像データ（この場合、主走査方向の変倍処理をした中間データ）のサンプリングが行われる。そしてサンプリングされた画像データがY方向MTF演算器110Yで副走査方向のMTF補正される。なお、このY方向MTF演算器110Yの、データセクタ（98に対応するもの）には、前記データRR2が与えられる。

このように、副走査変倍演算器29では、RAM4に読み込んでいる、 R_y 対応のデータ A_i と B_i に基づいて画像データのサンプリングおよび変倍画像データの演算をし、かつ、 R_y に対応したデータRR2に基づいてMTF補正をするので、主走査方向の変倍画像データ演算およびMTF補正と、副走査方向の変倍画像データ演算およびMTF補正とは、それぞれ独立であり、 R_x と R_y とが異なっても、それぞれ R_x および R_y に適合した形で行なわれる。

以上のように、第1a図に示す第1実施例では、前述の①の方法で変倍画像データを設定するようにしている。第2実施例（第2a図および第2b図）

第2実施例の、主要部の、主に第1実施例と異なる構成部分を第2a図に示し、また第1実施例の処理制御動作と異なる部分のみを第2b図に示す。この第2実施例では、主相変倍演算器28が、主走査方向変倍画像データ演算器80XBと、第1d図に示す主走査方向MTF補正演算器110XAと同一構成の主走査方向MTF補正演算器110XB（図示せず）で構成されている。この第2実施例の、副走査変倍演算器（図示せず）は、それぞれが1ライン分の画像データを格納する2個のラインバッファ（図示せず）と、80XBと同一構成の演算器（図示せず）でなる副走査方向変倍演算器；および、第1e図に示すラインバッファ81Y, 82YおよびYMTF演算器100Yの組合せと同一構成の副走査方向MTF補正演算器（図示せず）で構成されている。要約する 50

30

と、第2実施例は、変倍処理演算器が第1実施例と異なるのみである。そこで、第2実施例の変倍処理演算器をここで詳細に説明する。

第2a図において、主走査方向変倍画像データ演算器80XBは、前述の②で変倍画像データ O_{ik} を演算する。すなわち、第1表の4種の係数Aと画像データ S_{ij} ($0 \sim 63$) とを乗算したデータがデータセクタ28bの入力ポートa～dに印加される。なおこのa～dは第1表に右欄のa～dにそれぞれ対応し、aには S_{ij} の全ビットすなわち S_{ij} が、bには、 S_{ij} の上位5ビットと上位4ビットのデータの和を示すデータが、cには S_{ij} の上位5ビットすなわち $1/2S_{ij}$ が、dには S_{ij} の上位4ビットすなわち $1/4S_{ij}$ が与えられる。

また、第1表の4種の係数Bと画像データ S_{ij+1} とを乗算したデータがデータセクタ28cの入力ポートa～dに印加される。なおこのa～dも第1表の右欄のa～dのそれぞれに対応し、aには0を示すデータが、bには S_{ij+1} の上位4ビットすなわち $1/4S_{ij+1}$ が、cには S_{ij+1} の上位5ビットすなわち $1/2S_{ij+1}$ が、dには S_{ij+1} の上位5ビットと上位4ビットのデータの和を示すデータすなわち $3/4S_{ij+1}$ が与えられる。

データセクタ28aおよび28cの出力AおよびBは、それらに与えられる信号 B_i によって、入力a～dのいずれか1つとされ、 B_i が0を示すデータのときには、入力aが出力A, Bとされ、 B_i が1を示すデータのときには、入力bが出力A, Bとされ、 B_i が2を示すデータのときには、入力cが出力A, Bとされ、 B_i が3を示すデータのときには、入力dが出力A, Bとされる。この B_i の値は第1表に示されるものである。

加算器28dが、データセクタ28bの出力Aとデータセクタ28cの出力Bの和を示すデータを変倍画像データ O_{ik} として出力する。

データセクタ28bおよび28cの選択データ B_i はRAM3に画像読取前に予め読み込まれているものである。

副走査方向変倍画像データ演算器（図示せず）は、演算器80XBの入力端に、ラインバッファを2組シリアルに接続し、それらのバッファの出力をパラレルに80XBに入力する構成のものである。

この第2実施例（第2a図）のマイクロプロセッサ35の変倍処理制御動作は、第1b図および第1c図に示す第1実施例のものと略同様であるが、第1b図のステップ15x～17xの、①による変倍画像データ演算のためのデータ B_i 設定の代りに、第2b図に示すステップ41x～50xの如く、②による変倍画像データ演算のためのデータ B_i （第1表のもの）の設定をするようにしている。すなわち、iのそれぞれの値で演算した小数 R_i が、

$$\begin{aligned} 0 &\leq R_i < 1/8, \\ 1/8 &\leq R_i < 3/8, \\ 3/8 &\leq R_i < 5/8, \\ 5/8 &\leq R_i < 7/8, \text{ および、} \end{aligned}$$

31

$7/8 \leq R_i < 1$ 、
のいずれにあるかをステップ41x~47xでチェックして、
 $0 \leq R_i < 1/8$ のときはレジスタBiに0を示すデータを
セットし (42x)、

$1/8 \leq R_i < 3/8$ のときはレジスタBiに1を示すデータを
セットし (44x)、

$3/8 \leq R_i < 5/8$ のときはレジスタBiに2を示すデータを
セットし (46x)、

$5/8 \leq R_i < 7/8$ のときはレジスタBiに3を示すデータを
セットする (48x)。

$7/8 \leq R_i < 1$ のときには、 R_i を1に切り上げて、レジ
スタjの内容を1大きい数に更新して (49x)、レジス
タBiに0をセットする。

このように設定したBiは、第1実施例と同じく、Aiと
共にRAM3に書込まれる。この他の変倍処理制御動作は、
第1実施例と同様であり、画像読取中には、このように
設定したデータBiがAiと共にRAM3より読み出されてデー
タセクタ28bおよび28cに与えられる。これにより、加
算器28dの出力である変倍画像データOikは、前述の

(6)式で演算したものとなる。

以上に説明した処理は R_y に対しても同様である。

第2c図に、第2a図に示す主走査方向変倍画像データ演
算器80XBの変形例を示す。この例では、ROM28gに、 S_{ij}
の0~63、 S_{ij+1} の0~63、第1表に示す係数Aの4種
および第1表に示す係数Bの4種をパラメータとして前
述の(6)式で演算した変倍画像データOikが、それら
のパラメータをアドレスとして格納されている。ROM28g
の読み出しアドレスは、データセクタ27から出力され
る S_{ij} 、 S_{ij+1} およびBiで定められ、Biで特定される係
数AおよびB (第1表)と、 S_{ij} 、 S_{ij+1} で、(6)式
で演算した変倍画像データOikがROM28gより読み出され
る。

第3実施例 (第3a図および第3b図)

第3実施例の、主要部の、主に第1実施例と異なる部分
を第3a図に示し、また第1実施例の処理制御動作と異なる
部分のみを第3b図に示す。この第3実施例では、主走査
方向演算器28が、主走査方向変倍画像データ演算器80XC
と、第1d図に示す主走査方向MTF補正演算器110XAと同一
構成の主走査方向MTF補正演算器110XC (図示せず)で構
成されている。この第3実施例の、副走査変倍演算器
(図示せず)は、それぞれが1ライン分の画像データを
格納する2個のラインバッファ (図示せず)と、80XBと
同一構成の演算器 (図示せず)でなる副走査方向変倍演
算器；および、第1e図に示すラインバッファ81Y、82Yお
よびY方向MTF演算器100Yの組合せと同一構成の副走査
方向MTF補正演算器 (図示せず)で構成されている。要
約すると、第3実施例は、変倍処理演算器が第1実施例
と異なるのみである。そこで、第3実施例の変倍処理演算
器をここで詳細に説明する。

第3a図において、主走査方向変倍画像データ演算器80

32

XCは、前述の③で変倍画像データOikを演算する。すな
わち、第2表の4種の係数Aのそれぞれと原画像データ
 S_{ij-1} とを乗算したデータがデータセクタ52に、第
2表の4種の係数Bのそれぞれと原画像データ S_{ij} とを
乗算したデータがデータセクタ53に、第2表の4種の
係数Cのそれぞれと原画像データ S_{ij+1} とを乗算した
データがデータセクタ54に、また、第2表の4種の係
数Dのそれぞれと原画像データ S_{ij+2} とを乗算したデ
ータがデータセクタ55に与えられ、データセクタ52
~55のそれぞれが、データBi (第2表)で特定される。
係数A~D (それぞれが4種：第2表)の一種で演算を
した値を示すデータを出力し、それらを加算した和が、
変倍画像データOikとして、加算器56より出力される。

なお、補数器57は、減算データ (-1/8)を加算デー
タに変換する (減算を加算に転換する) ためのものでは
ある。

データセクタ52~55の出力A~Dは、それらに与え
られる信号Biによって、入力a~dのいずれか1つとさ
れ、Biが0を示すデータのときには、入力aが出力A~
Dとされ、Biが1を示すデータのときには、入力bが出
力A~Dとされ、Biが2を示すデータのときには、入力
cが出力A~Dとされ、Biが3を示すデータのときには
は、入力dが出力A~Dとされる。このBiの値は第2表
に示されるものである。

加算器56が、データセクタ52~55の出力A~Dの和
を示すデータを変倍画像データOikとして出力する。

データセクタ52~55の選択データBiはRAM3に、画像
読取前に予め読み込まれているものである。

この第3実施例 (第3a図)のマイクロプロセッサ35の
変倍処理制御動作は、第1b図および第1c図に示す第1実
施例のものと略同様であるが、第1b図のステップ15x~1
7xの、①による変倍画像データ演算のためのデータBi設
定の代りに、第3b図に示すステップ41x~50xの如く、③
による変倍画像データ演算のためのデータBi (第2表の
もの)設定をするようにしている。すなわち、iのそれ
ぞれの値で演算した小数 R_i が、

$$0 \leq R_i < 1/4,$$

$$1/4 \leq R_i < 1/2,$$

$$1/2 \leq R_i < 3/4,$$

$$3/4 \leq R_i < 7/8, \text{ および、}$$

$$7/8 \leq R_i < 1,$$

のいずれにあるかをステップ41x~47xでチェックして、

$0 \leq R_i < 1/4$ のときはレジスタBiに0を示すデータを
セットし (42x)、

$1/4 \leq R_i < 1/2$ のときはレジスタBiに1を示すデータを
セットし (44x)、

$1/2 \leq R_i < 3/4$ のときはレジスタBiに2を示すデータを
セットし (46x)、

$3/4 \leq R_i < 7/8$ のときはレジスタBiに3を示すデータを
セットする (48x)。

33

$7/8 \leq R_i < 1$ のときには、 R_i を 1 に切り上げて、レジスタ j の内容を 1 大きい数に更新して (49x)、レジスタ B_i に 0 をセットする。このように設定した B_i は、第 1 実施例と同じく、 A_i と共に RAM3 に書込まれる。

この他の変倍処理制御動作は、第 1 実施例と同様であり、画像読取中には、このように設定したデータ B_i が A_i と共に RAM3 より読み出されてデータセクタ 52~55 に与えられる。これにより、加算器 56 の出力である変倍画像データ O_{ik} は、概略で前述の (7) 式で演算したものとなる。副走査方向についても同様な処理となる。

第 3c 図に、第 3a 図に示す演算器 80XC の変形例を示す。この例では、ROM63 に、 S_{ij-1} の 0~63、 S_{ij} の 0~63、 S_{ij+1} の 0~63、 S_{ij+2} の 0~63、第 2 表に示す係数 A の 4 種、係数 B の 4 種、係数 C の 4 種および係数 D の 4 種をパラメータとして前述の (7) 式で演算した変倍画像データ O_{ik} が、それらのパラメータをアドレスとして格納されている。ROM63 の読み出しアドレスは、データセクタ 27 から出力される S_{ij-1} 、 S_{ij} 、 S_{ij+1} 、 S_{ij+2} および B_i で定められ、 B_i で特定される係数 $A \sim D$ (第 1 表) と、 S_{ij-1} 、 S_{ij+1} 、 S_{ij+2} で、(7) 式で演算した変倍画像データ O_{ik} が ROM63 より読み出される。

第 4 実施例 (第 4 図)

第 4 実施例の、第 1 実施例と異なる構成部分のみを第 4 図に示す。この第 4 実施例は、サンプリング回路 64 および 65 に特徴があるものであって、その他の部分は第 1 実施例と同じであり、サンプリング回路 64、65 以外の部分は、第 2、3 実施例と同じであってもよい。

第 4 図に示すサンプリング回路 64 は、RAM1 を書込みに指定しているとき ($a = H$, $b = L$) には、アンドゲート 68 と 69 がオフであって、アンドゲート 67 がオンであるので、アドレスカウンタ 38 を、DCLK でカウントアップする。すなわち、DCLK が 1 パルス到来する毎に、原画像データを RAM1 に読込む。RAM1 を読み出しに指定しているとき ($a = L$, $b = H$) には、アンドゲート 67 がオフであり、縮小 ($d = H$) のときにはアンドゲート 68 もオフであって、

第 5 実施例 (第 3d 図)

第 3d 図に本発明の第 5 実施例の要部を示す。第 3d 図は、第 3a 図と異なる部分のみを示す。この第 5 実施例は第 3 実施例の変形例でもあり、前述の第 (11) 式に基づいて、主走査方向の変倍画像データ演算および MTF 補正演算を同時に行ない、しかも、副走査方向の変倍画像データ演算および MTF 補正演算も同時に行なう。

まず主走査方向の演算処理を説明すると、この第 5 実施例では、RAM1、RAM2 には、その所要メモリ容量を少するため、それぞれ 1 ライン分の原画像データを読み書きするようにしている。これらによつては、隣接画像データをパラレルに同時に得ることができないので、演算器 28 に、4 個のラッチ 25~25d を備えて、これらにより、隣接 5 画素の画像データを得て、これらの画像データ

34

と、第 3 表に示す係数を用いて変倍しかつ MTF 補正したデータを得るようにしている。データセクタ 111 は、第 (11) 式の、 $E \cdot S_{ij-2}$ に、第 3 表の係数 E を乗じた 4 種の値の 1 つを出力し、データセクタ 112 は、第 (11) 式の、 $A \cdot S_{ij-1}$ に、第 3 表の係数 A を乗じた 4 種の値の 1 つを出力し、データセクタ 113 は、第 (11) 式の、 $B \cdot S_{ij}$ に、第 3 表の係数 B を乗じた 4 種の値の 1 つを出力し、データセクタ 114 は、第 (11) 式の、 $C \cdot S_{ij+1}$ に、第 3 表の係数 C を乗じた 4 種の値の 1 つを出力し、データセクタ 115 は、第 (11) 式の、 $D \cdot S_{ij+2}$ に第 3 表の係数 D を乗じた 4 種の値の 1 つを出力する。4 種のいずれを出力するかは、RAM4 がデータセクタ 111~115 に与えるデータ B_i によって定まる。データセクタ 111~115 の出力は加算器 116 に与えられて、加算器 116 が、第 (11) 式に、第 3 表の係数を代入した演算値 (ケース a~d の 4 種) のうちの、データ B_i で指定される 1 つ M_{ik} を出力する。この出力 M_{ik} は、第 (11) 式および第 3 表に関連してすでに説明したように、主走査方向に変倍処理し、しかも、倍率 R を変数とし倍率 R 各値において最適な MTF 補正がもたらされる演算を折り込んだものである。

この第 5 実施例の、副走査変倍演算器 29 (図示せず) は、第 3d 図に示す主走査変倍演算器 28 の、ラッチ 25~25d のそれぞれをラインバッファメモリに置換したものである。

第 5 実施例の他の構成は前述の第 3 実施例と同じである。変倍処理動作は、前述の第 3 実施例のものと同様であるが、第 1c 図に示すステップ 51x~57x を省略したこのとなっている。

第 5 実施例では、変倍処理演算と MTF 補正演算を同じ演算式に集約しているため、それらを分離して演算する場合よりも、演算に関するハードウェアが簡単になり、しかも演算ステップが少くなっている。

④効果

以上の通り本願発明では、原画像に対す変倍画像データのサンプリング密度に応じて、変倍後又は変倍前の画像データに適正な MTF 補正をするべく、指定された主走査方向の倍率に応じて、倍率が高いほど、前記変倍前又は変倍後の画像データに、強い MTF 補正をし、その後、前記主走査方向の倍率とは独立に指定された副走査方向の倍率に応じて、倍率が高いほど、主走査方向に MTF 補正された画像データに対し、強い MTF 補正を行なうので、変倍処理による画像劣化が低減する。

【図面の簡単な説明】

第 1a 図は、本発明の第 1 実施例の構成を示すブロック図である。

第 1b 図および第 1c 図は、第 1a 図に示すマイクロプロセッサ 35 の変倍処理制御動作を示すフローチャートである。

第 1d 図は、第 1a 図に示す主走査変倍演算器 28 の構成を示すブロック図である。

35

第1e図は、第1a図に示す副走査変倍演算器29の構成を示すブロック図である。

第2a図は、本発明の第2実施例の要部を示すブロック図である。

第2b図は、第2a図に示すマイクロプロセッサ35の変倍処理制御動作の一部を示すフローチャートである。

第2c図は、第2a図に示す演算器80XBの変形例を示すブロック図である。

第3a図は、本発明の第3実施例の要部を示すブロック図である。

第3b図は、第3a図に示すマイクロプロセッサ35の変倍処理制御動作の一部を示すフローチャートである。

第3c図は、第3a図に示す演算器80XCの変形例を示すブロック図である。

第3d図は、本発明の第5実施例の要部を示すブロック図である。

第4図は、本発明の第4実施例の要部を示すブロック図である。

第5図は、変倍画像データを演算する3次関数コンボリューション法で用いる補間関数の値を示すグラフであり、横軸は原画像データのサンプリング位置に対する変倍画像データに割り当てるサンプリング位置のずれ量を示し、縦軸は補間関数の値を示す。

第6図は、第1a図に示すスキャナSCRの画像読出力であるデータYと同期クロックLSYNC、DCLKおよびラッチ25の出力であるデータZの関係を示すタイムチャートである。

第7図は、第1a図に示すラインバッファメモリRAM1、RAM2の書き込みデータ、読み出しデータとライン同期パルスLSYNCとの関係を示すタイムチャートである。

第8図は、従来の画像読取装置の外観を示す斜視図である。

第9図は、従来の1つの画像読取装置の主機械構成要素を示す側面図である。

36

第10図は、従来のもう1つの画像読取装置の主機械構成要素を示す側面図である。

第11図は、従来の電気的手法による画像データ変倍のために、1頁分の原画像データをメモリに格納した場合の、メモリ上における画像データ分布を、画像対応で示す平面図である。

第12図は、近接画素間距離線形配分法により変倍画像データを演算する場合の、原画像データのサンプリング位置と変倍画像データのサンプリング位置との関係を示す平面図である。

第13a図は、MTF補正の補正係数分布を示す平面図である。

第13b図は、MTF補正における補正画素と補正に参照する画素の分布を示す平面図である。

第14a図、第14b図、第14c図および第14d図は、MTF補正係数の分布を示す平面図である。

第15図は、第1a図に示すスキャナSCRの、周波数応答性を示すグラフである。

第16図は、MTF補正を加味した変倍演算補間係数を示すグラフである。

1:画像読取装置、2:コンタクトガラス板

3:原稿圧板、4:操作部

5:蛍光灯、6:セルホックレンズ

7:イメージセンサ、8:反射光

9:キャリッジ、11~13:反射光

14:レンズ、SCR:スキャナ

28:主走査変倍演算器、29:副走査変倍演算器

DOC:原稿、35:マイクロプロセッサ

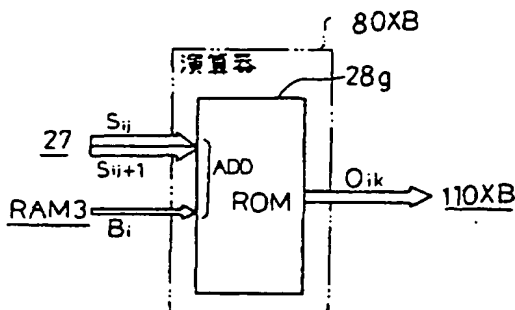
64、65:サンプリング回路、65Y:サンプリング回路

80XA:データセレクト、80Y:変倍演算器

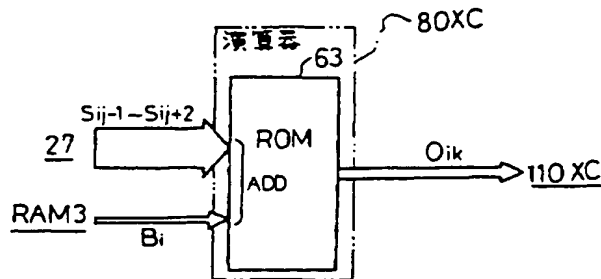
100XA:主走査方向MTF演算器、100Y:副走査方向MTF演算器

80XB、80XC:変倍演算器

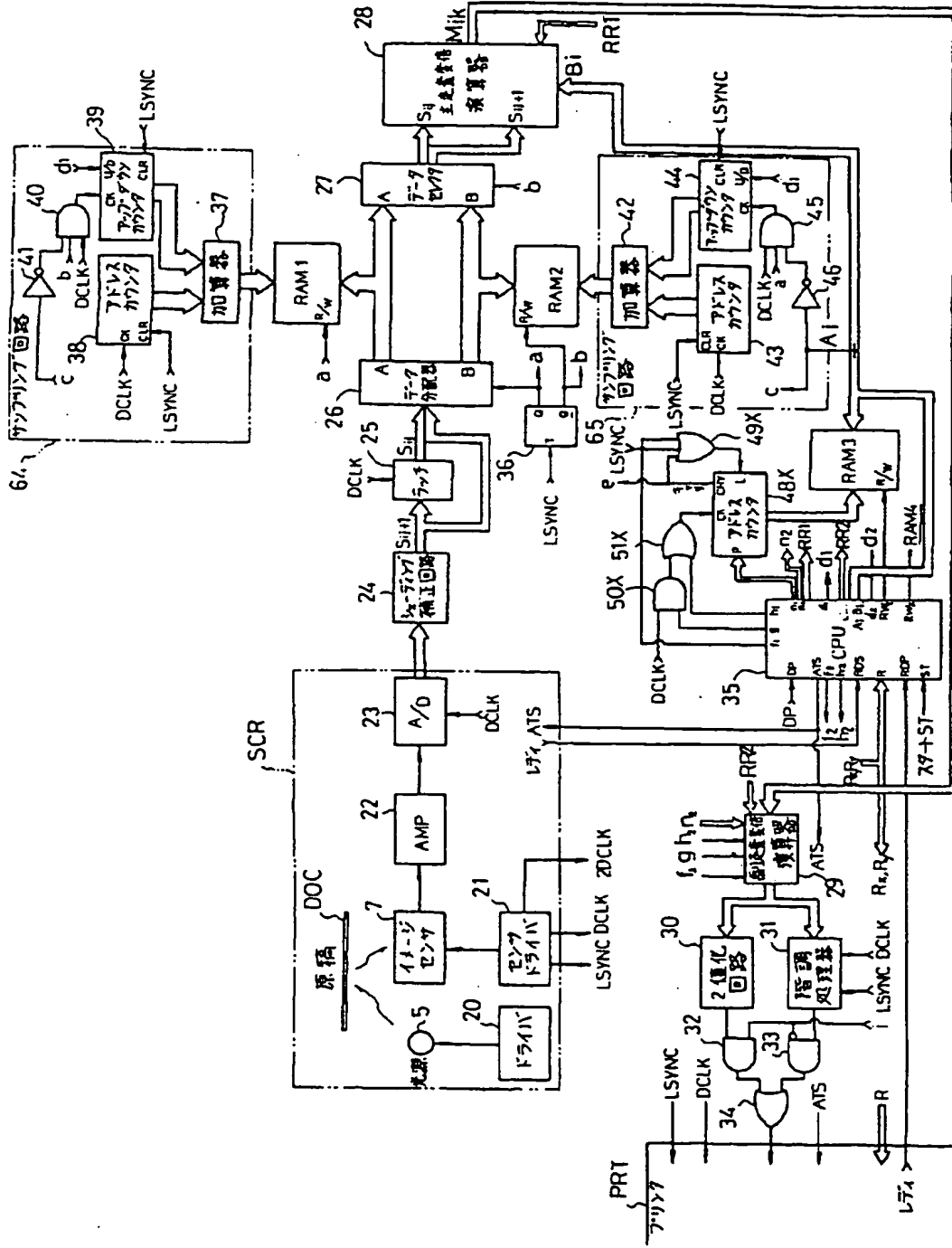
【第2c図】



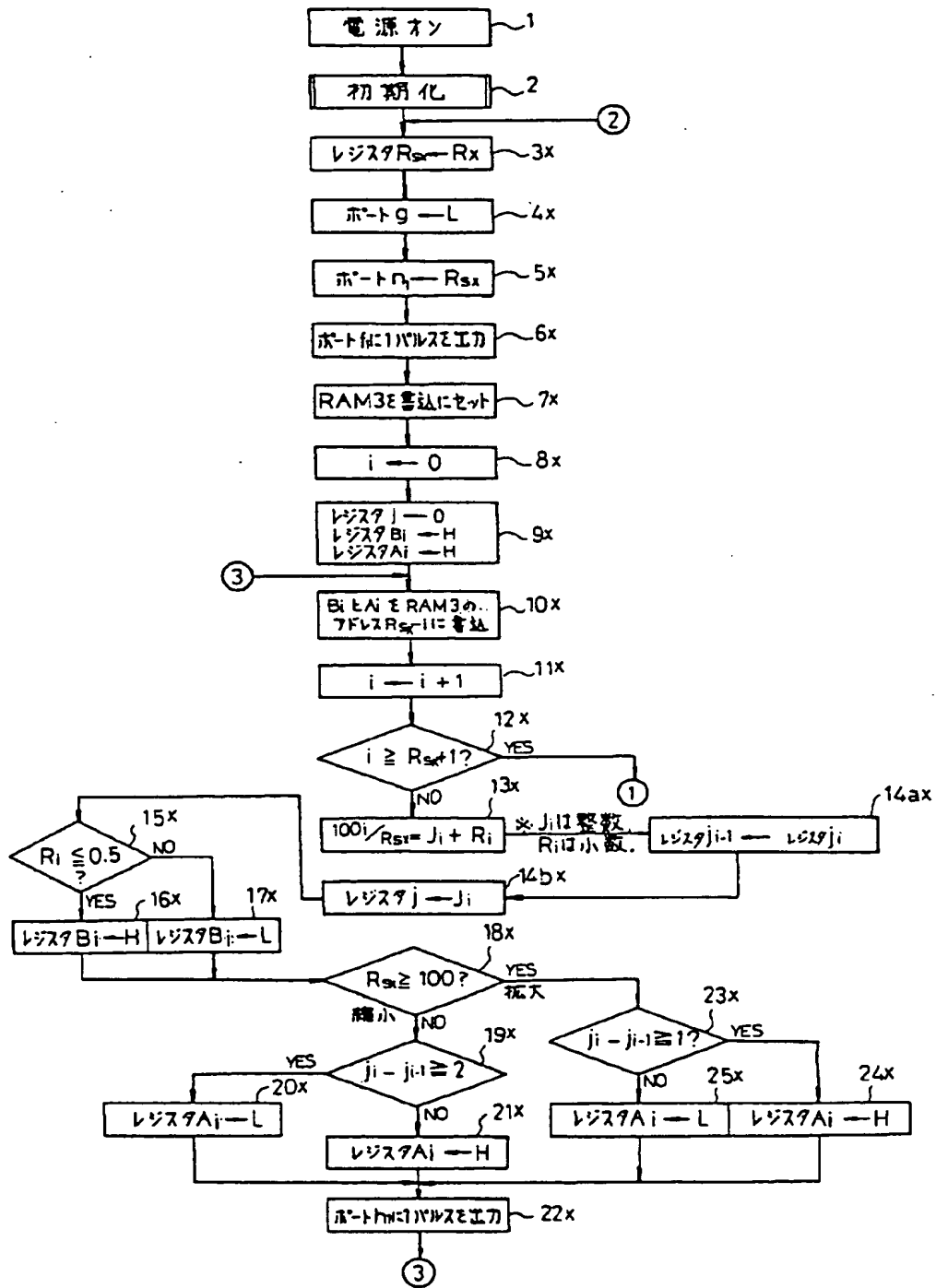
【第3c図】



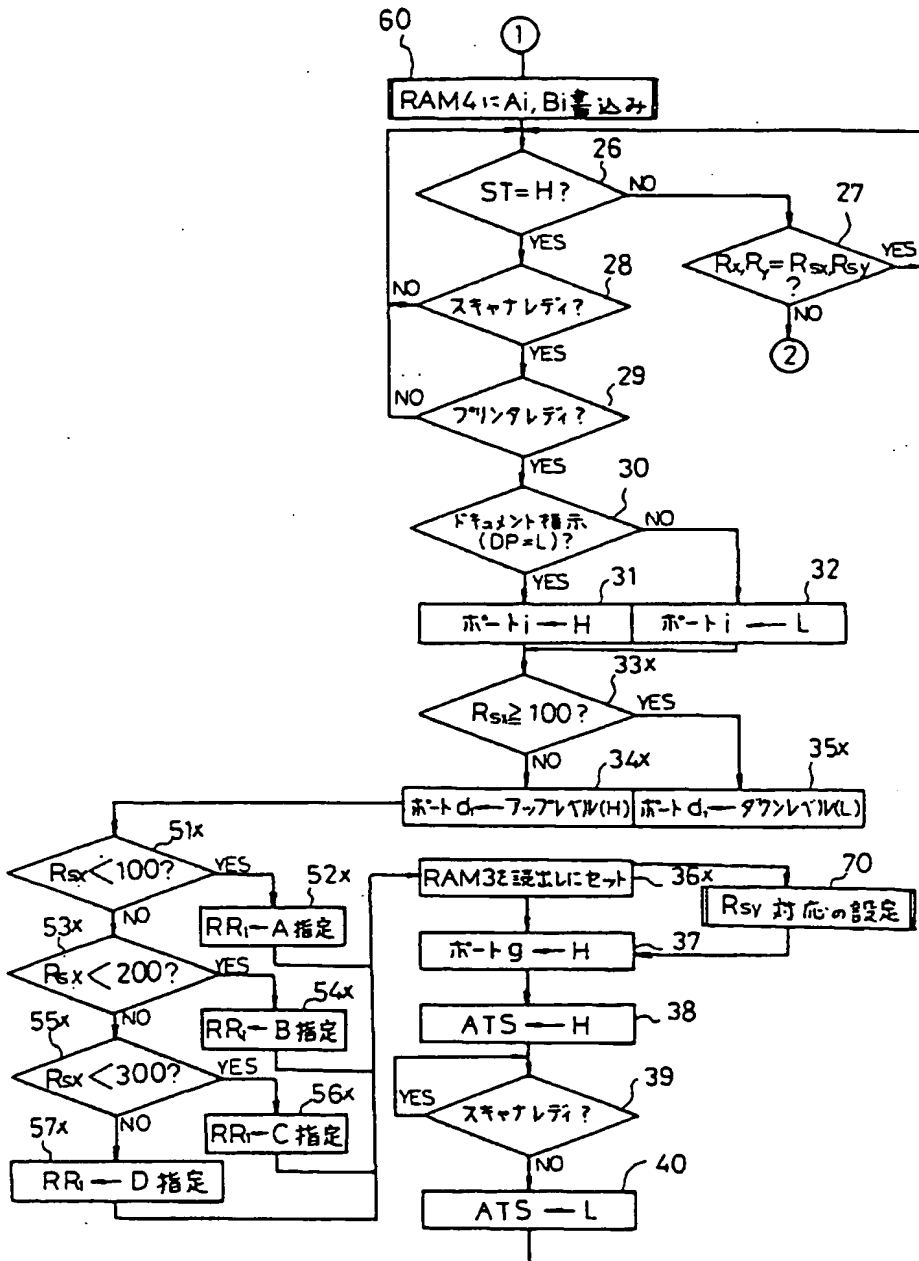
【第1a図】



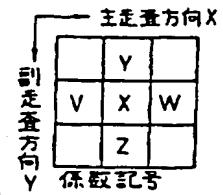
【第1b図】



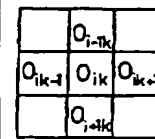
【第1c図】



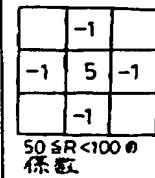
【第13a図】



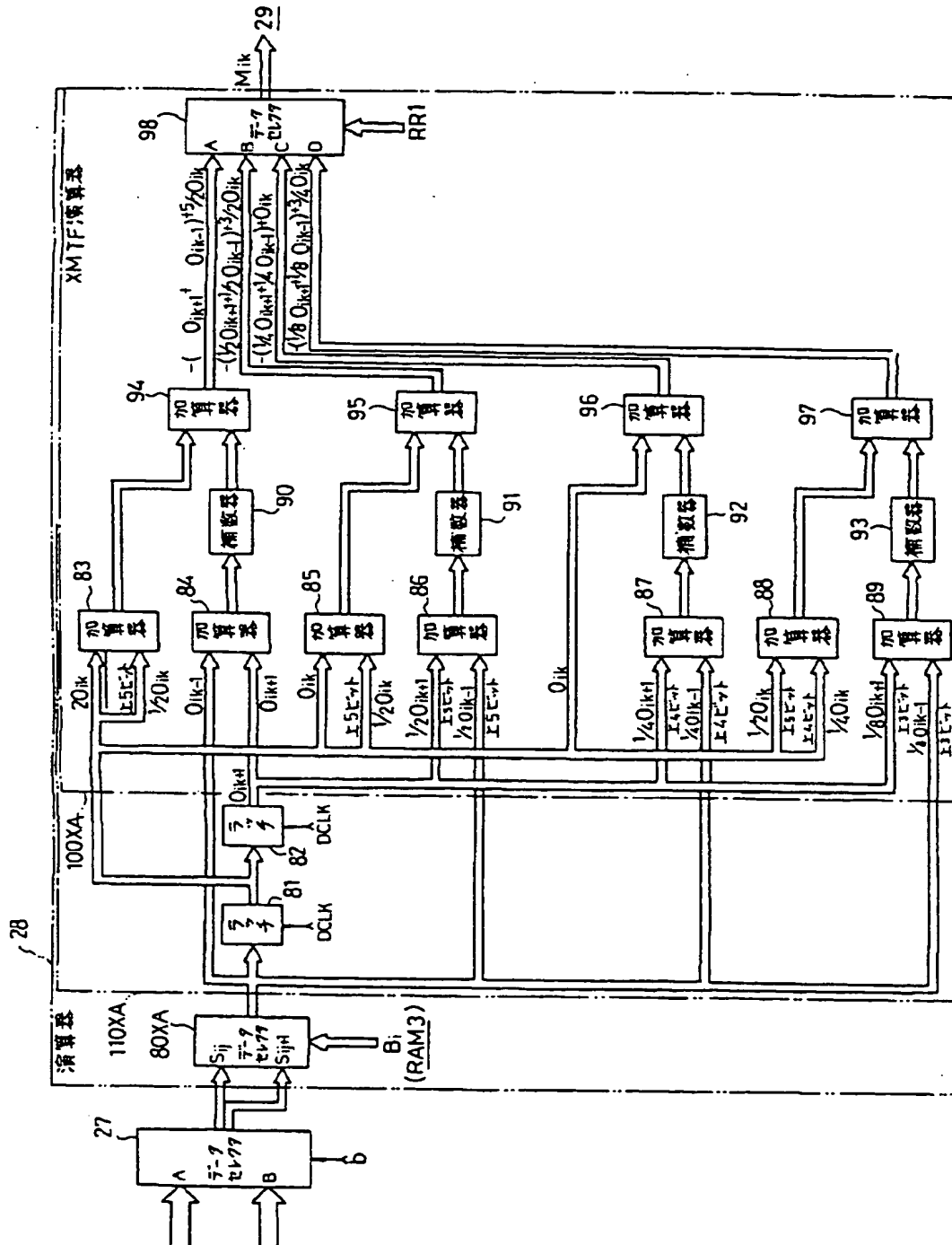
【第13b図】



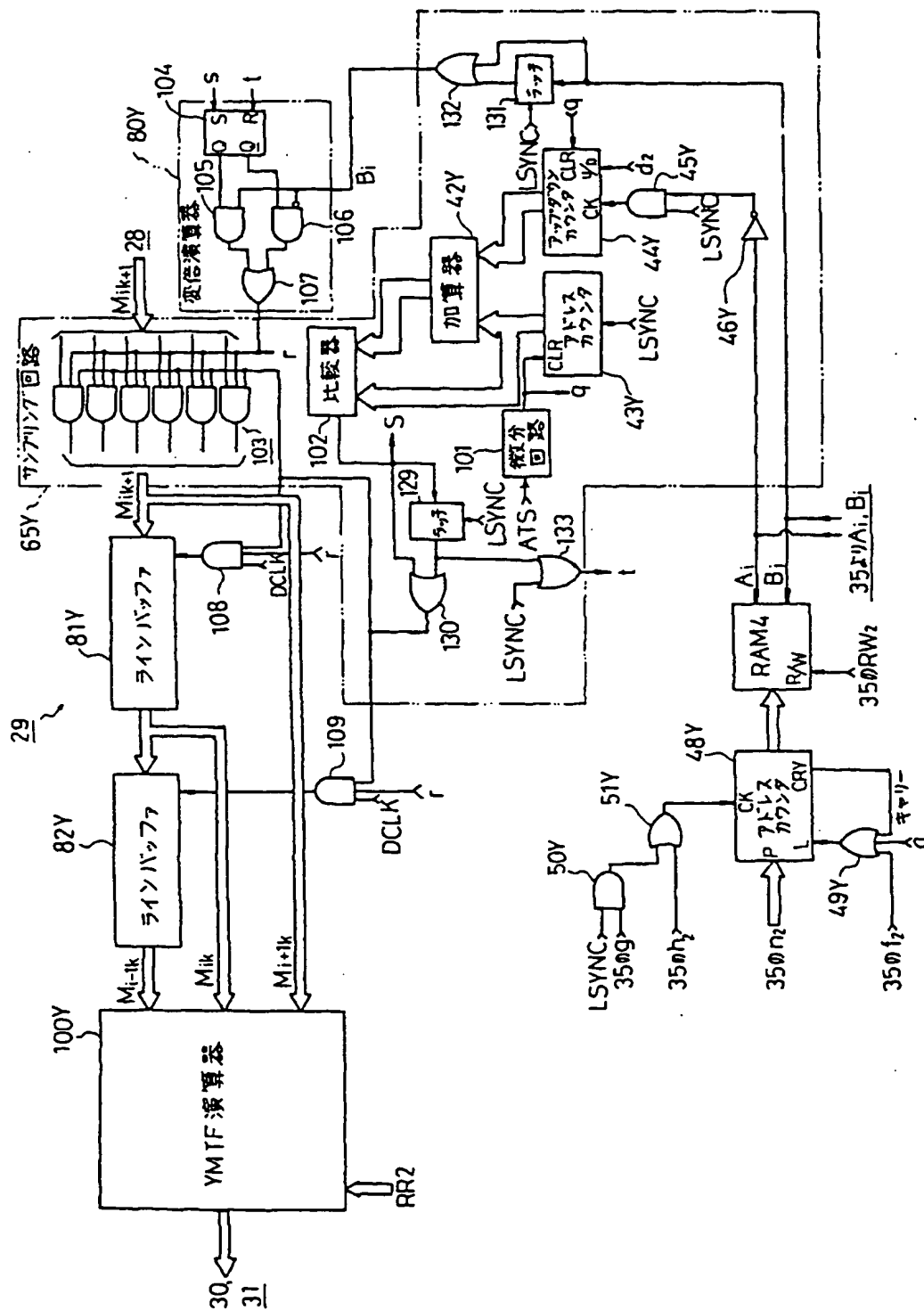
【第14a図】



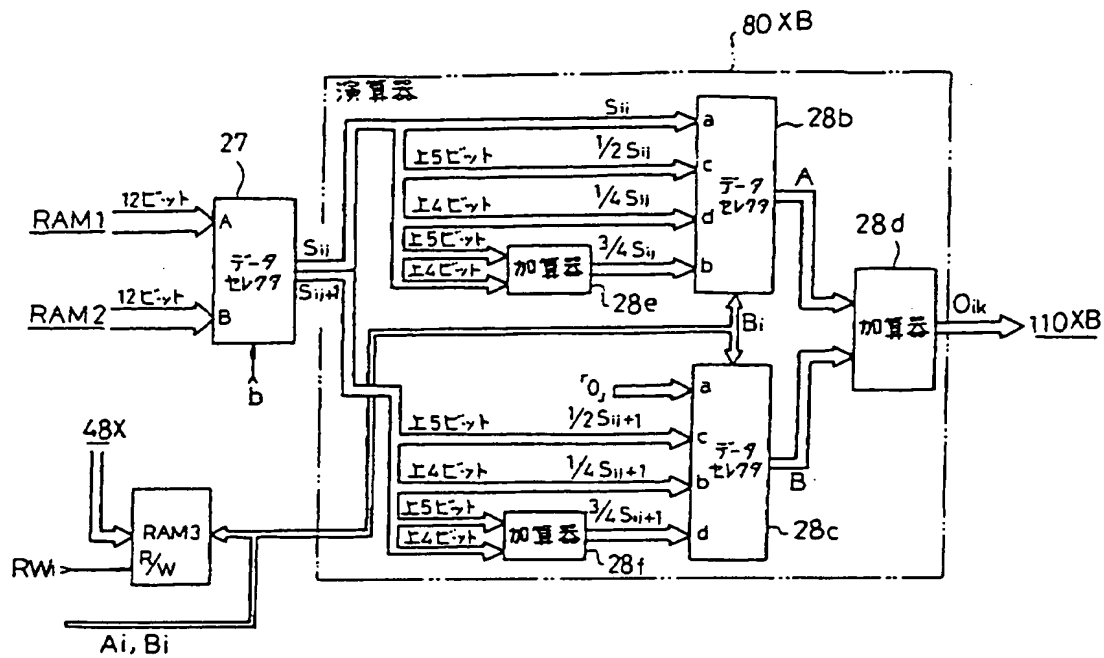
【第1d図】



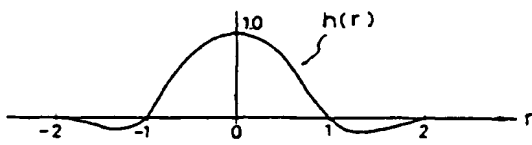
【第1 e 図】



【第2a図】

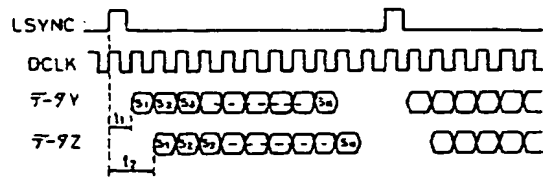


【第5図】

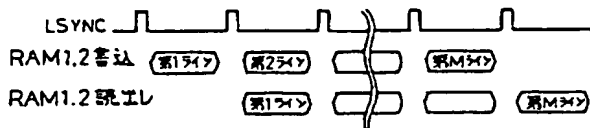


【第7図】

【第6図】

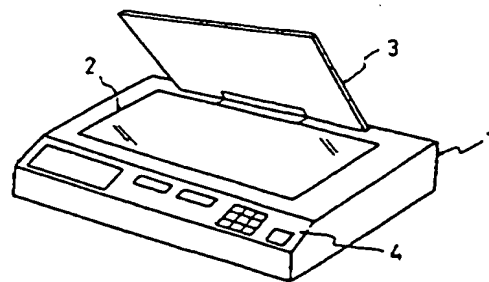
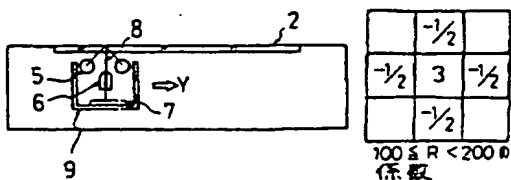


【第8図】

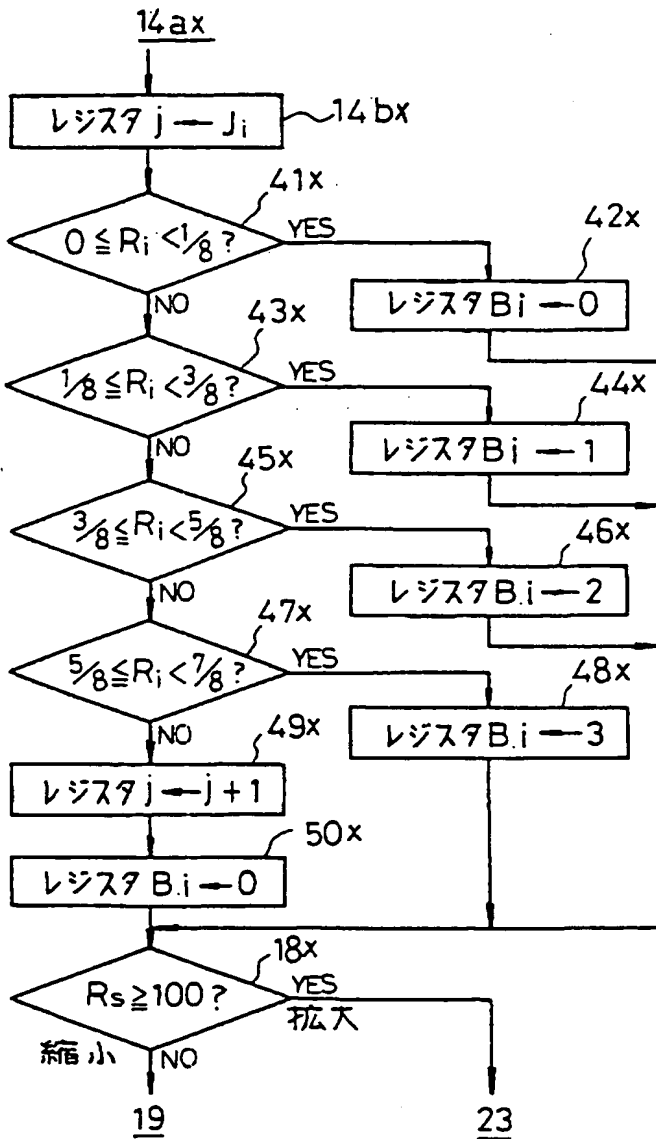


【第9図】

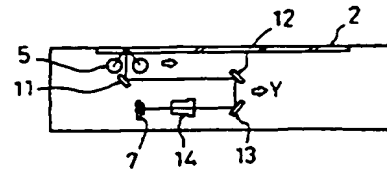
【第14b図】



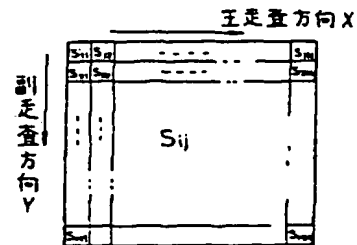
【第2b図】



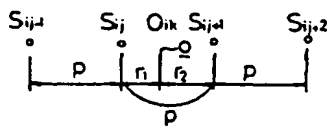
【第10図】



【第11図】



【第12図】



【第14c図】

	$1/4$	
$1/4$	2	$1/4$
	$1/4$	

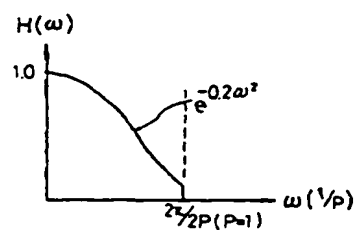
$200 \leq R < 300$
係数

【第14d図】

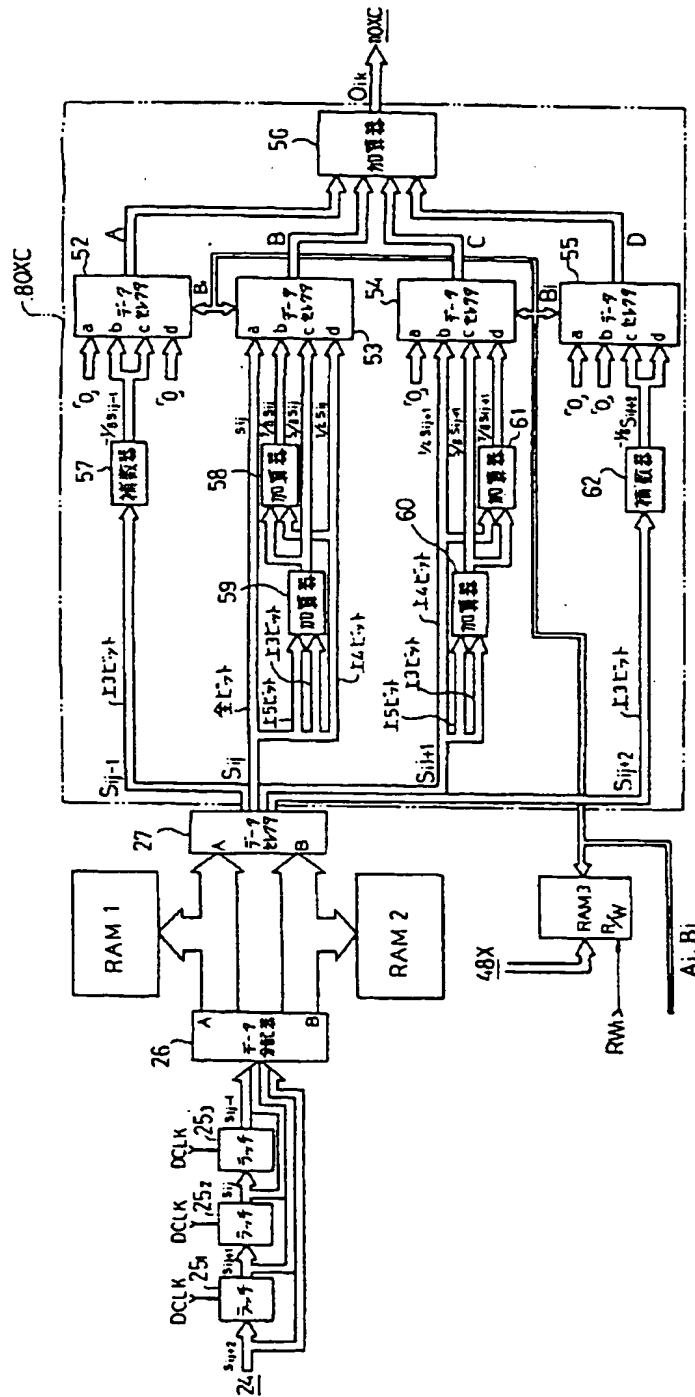
	$1/8$	
$1/8$	$3/2$	$1/8$
	$1/8$	

$300 \leq R \leq 400$
係数

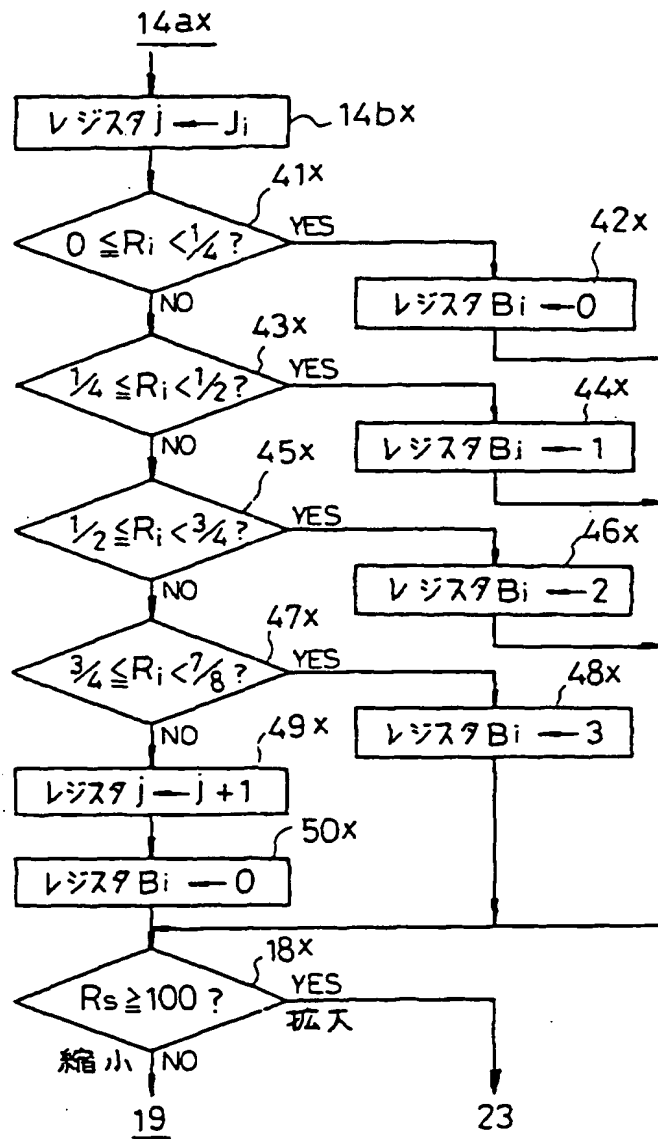
【第15図】



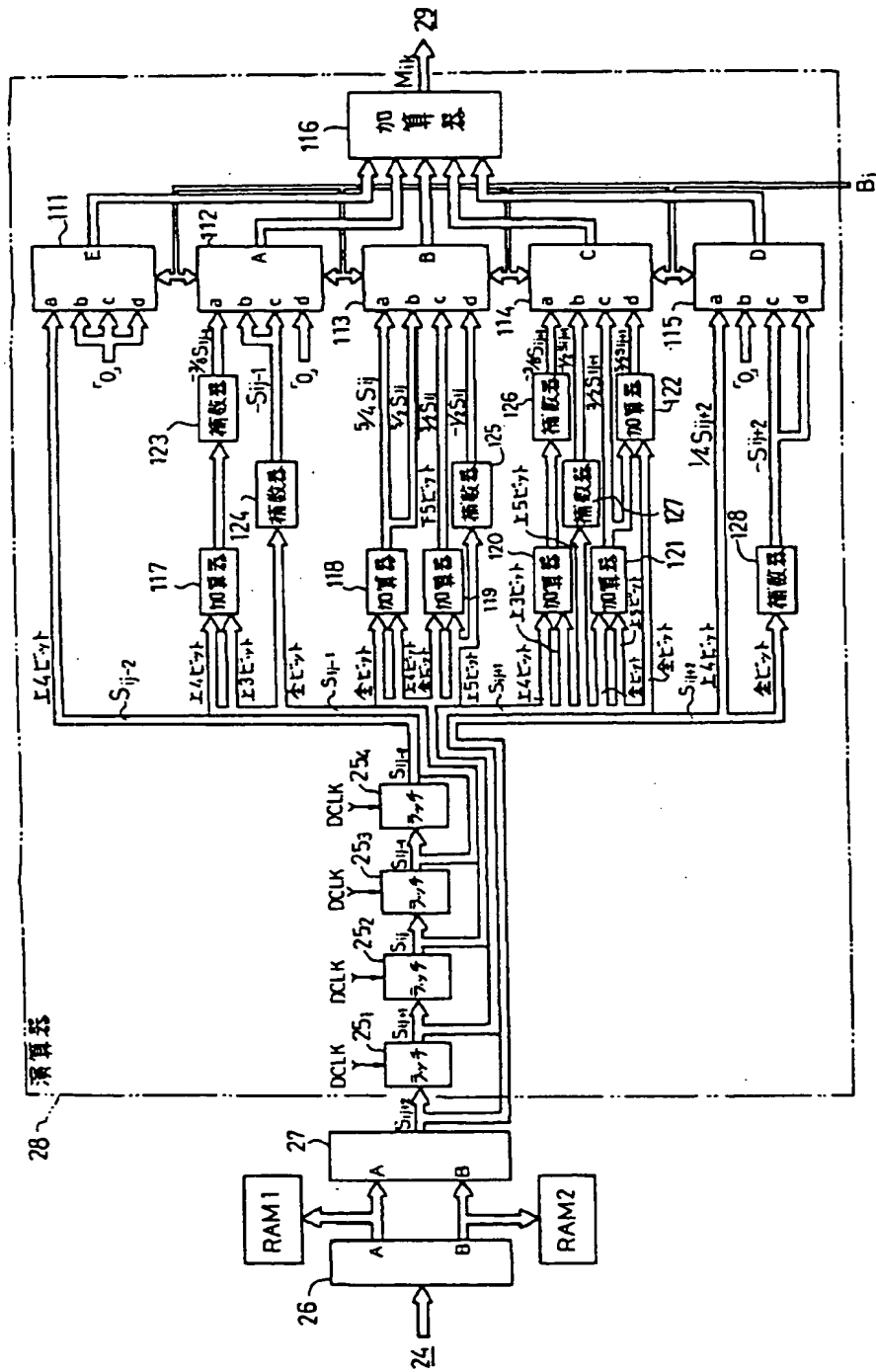
【第3a図】



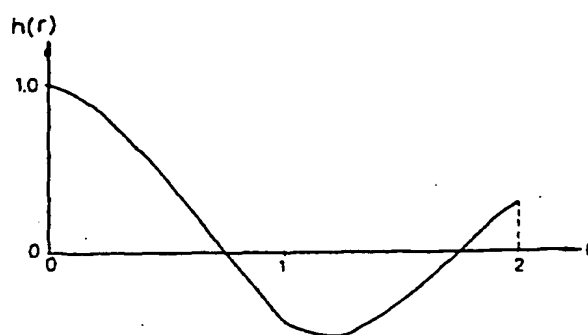
【第3b図】



【第3d図】



【第 1 6 図】



フロントページの続き

(58) 調査した分野 (Int. Cl.⁶, DB 名)

20

H04N 1/393

G06F 15/66